

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-084215

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

G06F 13/16
G06F 13/36
G06F 13/362

(21)Application number : 2000-211401

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.07.2000

(72)Inventor : YOSHIOKA KOSUKE
KIYOHARA TOKUZO
KIMURA KOZO
MOCHIDA TETSUJI
OCHIAI TOSHIYUKI

(30)Priority

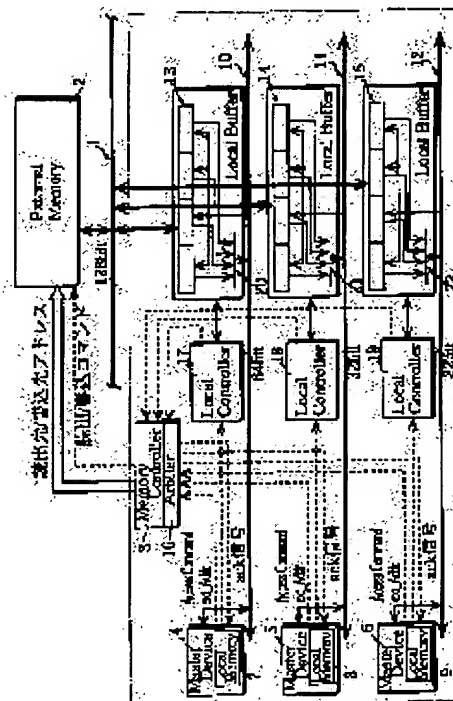
Priority number : 11198000 Priority date : 12.07.1999 Priority country : JP

(54) DATA PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide high general-purpose properties to be able to cope with the assignment change of bandwidth in every future media processing.

SOLUTION: Local buffers 13 to 15 are respectively made to correspond to a plurality of respective buses 10 to 12, and data are respectively inputted and outputted between a bus 1 and the buses 10 to 12, so as to absorb the speed difference of a transfer speed on the basis of the difference of bit width between the bus 1 and the buses 10 to 12. When bandwidth to be allocated to master device 4 to 6 desired to be changed, a memory device, a memory controller 3 and the bus 1 do not have to be redesigned, because the rear/write ports of the devices 4 to 6, the buses 10 to 12 and the buffers 13 to 15 have only to be changed.



LEGAL STATUS

[Date of request for examination]

27.06.2001

[Date of sending the examiner's decision of

rejection] "

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number] 3327900

[Date of registration] 12.07.2002

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-84215

(P2001-84215A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-リ-ト (参考)
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16	5 1 0 D
	5 2 0		5 2 0 C
13/36	3 2 0	13/36	3 2 0 B
13/362	5 1 0	13/362	5 1 0 F

審査請求 未請求 請求項の数30 O L (全 39 頁) ホ 2

(21)出願番号 特願2000-211401(P2000-211401)
(22)出願日 平成12年7月12日 (2000.7.12)
(31)優先権主張番号 特願平11-198000
(32)優先日 平成11年7月12日 (1999.7.12)
(33)優先権主張国 日本 (J P)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 吉岡 康介
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 清原 督三
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100090446
弁理士 中島 司朗 (外1名)

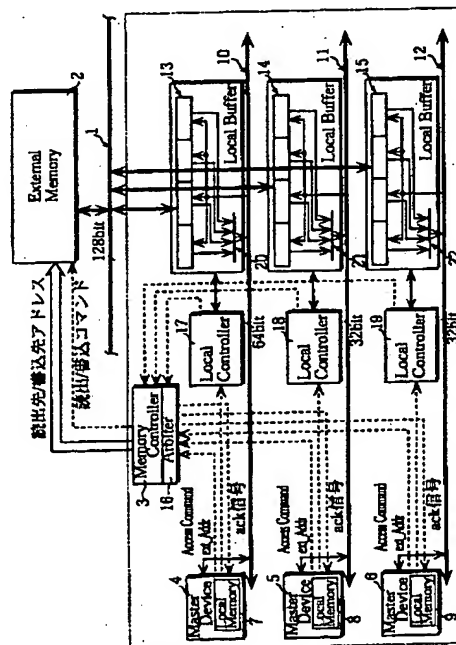
最終頁に続く

(54)【発明の名称】 データ処理装置

(57)【要約】

【課題】 将来におけるメディア処理毎のバンド幅の割り当て変更に対処できるよう、高い汎用性を有するデータ処理装置を提供する。

【解決手段】 複数のバス10のそれぞれにはローカルバッファ13～ローカルバッファ15がそれぞれ対応づけられており、バス1とバス10～バス12とのビット幅の相違に基づく転送速度の速度差を吸収するよう、バス1とバス10～バス12のそれぞれとの間でデータの入出力を行う。マスタデバイス4～マスタデバイス6に割り当てるべきバンド幅を変更したい場合は、マスタデバイス4～マスタデバイス6及びバス10～バス12、ローカルバッファ13～ローカルバッファ15の読み書きポートを変更すれば良いのでメモリデバイス、メモリコントローラ3、バス1を再設計する必要はない。



【特許請求の範囲】

【請求項1】 複数のマスタデバイスと、1つのメモリデバイスとに接続され、メモリデバイスと、各マスタデバイスとの間のデータ転送を行うデータ処理装置であって、

2つのポイントを有しており、そのうち一方のポイントにてメモリデバイスと接続されるメモリバスと、それぞれが2つ以上のポイントを有しており、そのうち1つ以上のポイントにて各マスタデバイスと接続される複数のローカルバスと、

メモリデバイスに対するデータ読み出し、及び、メモリデバイスに対するデータ書き込みを行い、各ローカルバス上では、各マスタデバイスが要求する転送レートにてデータ転送を行わせ、メモリバス上では、メモリデバイスが要求する転送レートにてデータ転送を行わせる転送コントローラと、

メモリバスの他方のポイント、及び、各ローカルバスの1つのポイントにて接続された複数のバッファであり、メモリバスと、ローカルバスとの間の転送レートの相違を吸収するよう、データの入出力を行う複数のローカルバッファ手段とを備えることを特徴とするデータ処理装置。

【請求項2】 前記転送コントローラは、各マスタデバイスによりメモリデバイスからのデータ読み出しが要求されると、メモリデバイスからのデータ読み出しをおこなって、当該データをメモリバス上で転送させる処理を行い、メモリデバイスへのデータ書き込みが要求されると、メモリデバイスに書き込むべきデータをメモリバス上で転送させ、各マスタデバイスからの要求に従って、メモリデバイスに書き込む処理とを行うメモリコントローラと、

複数のローカルバスのそれぞれに対応づけられており、メモリデバイスから読み出されたデータ、及び、メモリデバイスに書き込むべきデータを各マスタデバイスが要求する転送レートにてローカルバス上で転送させる複数のローカルコントローラとを備えることを特徴とする請求項1記載のデータ処理装置。

【請求項3】 前記各ローカルコントローラは、各マスタデバイスがその読み出しを要求したデータがメモリバス上に転送されれば、当該メモリバス上のデータをローカルバッファ手段に取り込み、取り込んだデータをローカルバスに出力させるようローカルバッファ手段を制御し、

マスタデバイスがメモリデバイスへの書き込みを要求したデータがローカルバス上に転送されてくると、データをローカルバッファ手段に取り込み、所定数のデータを当該ローカルバッファ手段に蓄積した後、蓄積されたデータをメモリバスに出力させるようローカルバッファ手段を制御することを特徴とする請求項2記載のデータ処理装置。

【請求項4】 前記データ処理装置は、

複数のマスタデバイスについてのデータ読み出し要求又はメモリデバイスへのデータ書き込み要求が競合した場合、複数のマスタデバイスのうち、幾つかのものの要求を認め、他のものの要求を否認する旨を決定するアービターを備え、

前記マスタデバイスは、アービターによる調停の結果、要求が否認されたマスタデバイスについてのメモリバス又はローカルバスにおけるデータ転送を停止することを特徴とする請求項1記載のデータ処理装置。

【請求項5】 前記ローカルバスには、3つ以上のポイントを有しているものがあり、このうち2つ以上のポイントには、2つ以上のマスタデバイスが接続されており、これら2つ以上のポイントにて接続されたマスタデバイスにおいてデータ読み出し要求又はメモリデバイスへのデータ書き込み要求が競合した場合、

前記マスタデバイスは、アービターによる調停の結果、要求が否認されたマスタデバイスについてのローカルバスにおけるデータ転送を停止することを特徴とする請求項4記載のデータ処理装置。

【請求項6】 前記メモリデバイスにはデータ処理装置の動作周波数と異なる動作周波数の同期クロック信号が供給されており、

前記データ処理装置は更に、

一方のポートが前記メモリデバイスの読み書きポートに接続していて、他方のポートが前記複数のローカルバッファ手段に接続しており、メモリデバイスにおける動作周波数とデータ処理装置内部における動作周波数との相違を吸収するよう、メモリバスと複数のローカルバッファ手段との間でデータの入出力を行うデュアルポートメモリデバイスを備えることを特徴とする請求項1記載のデータ処理装置。

【請求項7】 前記転送コントローラは更に、

メモリバス上に転送されている複数のマスタデバイスがその読み出しを要求した複数データをデュアルポートメモリデバイスに取り込み、データをローカルバッファ手段に出力するよう制御することを特徴とする請求項6記載のデータ処理装置。

【請求項8】 前記転送コントローラは更に、

複数のマスタデバイスがメモリデバイスへの書き込みを要求したデータがローカルバッファ手段から出力されると、これらの複数データをデュアルポートメモリデバイスに取り込み、当該デュアルポートメモリデバイスに蓄積した後、蓄積されたデータをメモリバスに出力させるようデュアルポートメモリデバイスを制御することを特徴とする請求項6記載のデータ処理装置。

【請求項9】 前記複数のマスタデバイスには1つの制御バスが接続されており、

複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイスからのデータ書き込みを要求し、その結

果、メモリデバイスにおいてデータが書き込まれた場合、その領域の先頭部を示すエントリアドレスを制御バスに伝送させ、

複数のマスタデバイスのうち少なくとも他のものは、制御バスに伝送されたエントリアドレス以降に格納されているデータの読み出しを要求することを特徴とする請求項1記載の請求項記載のデータ処理装置。

【請求項10】 前記複数のマスタデバイスには制御バスが接続されており、

複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイスへのデータ書き込みを要求した場合、メモリデバイスにおいてデータが書き込まれた領域の終端部を示す終了アドレスを制御バスに伝送させ、複数のマスタデバイスのうち他のものは、制御バスに伝送された終了アドレスの次のアドレスからのデータ書き込みを要求することを特徴とする請求項1記載のデータ処理装置。

【請求項11】 前記データ処理装置は、メモリデバイスに含まれる複数領域のそれぞれについての使用状況が書込済み、未使用の何れであるかを示す使用状況情報を記憶しており、何れかのマスタデバイスがメモリデバイスへのデータ書き込みを要求しようとした場合、その使用状況情報が未使用に設定されている領域のアドレスを当該マスタデバイスに通知するアドレスサーバを備えることを特徴とする請求項1記載のデータ処理装置。

【請求項12】 前記アドレスサーバは、何れかのマスタデバイスの要求に従ってメモリデバイスにデータが書き込まれた場合、その領域に対応する使用状況情報を書込済みに更新する第1更新部を備えることを特徴とする請求項11記載のデータ処理装置。

【請求項13】 前記複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイス上の複数の領域のうち、データを読み出した後の領域についての使用状況を未使用に解放する旨を要求し、

前記第1更新部は、

そのマスタデバイスの要求に従って、その領域に対応する使用状況情報を未使用に更新することを特徴とする請求項11記載のデータ処理装置。

【請求項14】 メモリデバイスと接続されたデータ処理装置であって、

メモリデバイスからのデータ読み出し、又は、メモリデバイスへのデータ書き込みを要求するアクセスコマンドを発行する複数のマスタデバイス、

デュアルポートメモリと、

アクセスコマンドが発行されれば、外部メモリデバイスにおける動作周波数とデータ処理装置内部における動作周波数との相違を吸収するよう、デュアルポートメモリを介したメモリデバイスと複数のマスタデバイスとの間

のデータ転送を行う転送コントローラとを備えることを特徴とするデータ処理装置。

【請求項15】 デュアルポートメモリは、エントリアドレスが付与された複数のエントリー領域と、各エントリー領域に対応づけられたタグ領域とを含み、

アクセスコマンドは、データの読出先となる外部アドレス、又は、データの書込先となる外部アドレスの指定を含み、

外部アドレスは、メモリデバイスに含まれる複数の外部領域のうち、アクセス先となるものを示し、

前記データ処理装置は、

メモリデバイスに対するアクセスコマンドが発行されると、デュアルポートメモリを構成する複数のエントリー領域のうち、何れかのエントリー領域を、マスタデバイスとメモリデバイスとの間のデータ転送に割り当てて、そのエントリー領域に対応するタグ領域に、アクセスコマンドに含まれる外部アドレスを格納するエントリー管理手段を備え、

前記転送コントローラは、

20 データ転送に割り当てられたエントリー領域と、外部アドレスにて示される外部領域との間のデータ転送を行うメモリ制御部を備えることを特徴とする請求項14記載のデータ処理装置。

【請求項16】 前記エントリー管理手段は、

デュアルポートメモリにおける空きエントリー領域の所在を示すエントリアドレスを使用状況情報として各マスタデバイスに通知する使用状況情報通知部と、

前記データ処理装置は、

30 マスタデバイスと、使用状況情報により通知された空きエントリアドレスにより示される空きエントリー領域との間において、メモリデバイスに書き込むべきデータ、又は、メモリデバイスから読み出されたデータのデータ転送を行わせるローカルコントローラ部を備えることを特徴とする請求項15記載のデータ処理装置。

【請求項17】 前記エントリー管理手段は、

デュアルポートメモリにおける各エントリアドレスに対応づけられたビットからなり、各ビットはオン又はオフに設定されるビット列を保持するビット列保持部を備え、

40 前記使用状況情報通知部は、

ビット列においてオフに設定されているビットに対応するエントリアドレスを使用状況情報として各マスタデバイスに通知し、

前記エントリー管理手段は、

使用状況情報の通知後、何れかのマスタデバイスからアクセスコマンドが発行されれば、使用状況情報として通知されたエントリアドレスに対応するビットをオフからオンに更新する第1更新手段と、

前記エントリアドレスにて指示されるエントリー領域にデータが格納された後、当該データがメモリデバイス

へと転送された場合、又は、当該データがマスタデバイスへと転送された場合、当該ビットをオンからオフに更新する第2更新手段とを備えることを特徴とする請求項16記載のデータ処理装置。

【請求項18】 前記使用状況情報通知部は、ビット列における全てのビットがオンに設定されれば、デュアルポートメモリにおける空きエンタリー領域が存在しない旨を示す使用状況情報を各マスタデバイスに通知し、

前記各マスタデバイスは、空きエンタリー領域が存在しない旨を示す使用状況情報が通知されている場合、アクセスコマンドの発行を行わず、空きエンタリー領域のエンタリーアドレスが通知されてから、アクセスコマンドの発行を行うことを特徴とする請求項17記載のデータ処理装置。

【請求項19】 前記メモリ制御部は、外部アドレスにて示される外部領域からエンタリー領域へのデータ転送が完了した場合、エンタリー領域についてのエンタリーアドレスを含む読出完了通知を、アクセスコマンドの発行元マスタデバイスに出力し、

前記転送コントローラは、複数のマスタデバイスのそれぞれに対応づけられており、対応するマスタデバイスに対して読出完了通知が出力されれば、読出完了通知からエンタリーアドレスを取り出して、エンタリーアドレスにて示されるエンタリー領域から、対応するマスタデバイスへのデータ転送を行わせる複数のローカルコントローラ部を備えることを特徴とする請求項15記載のデータ処理装置。

【請求項20】 前記複数のマスタデバイスのうち、一組のマスタデバイスは、デュアルポートメモリにおける何れかのエンタリー領域を指示するエンタリーアドレスを指定したアクセスコマンドを発行し、

複数のローカルコントローラ部のうち1つは、エンタリーアドレスにより指示されたエンタリー領域を介して、一組のマスタデバイス間でデータ転送を行わせることを特徴とする請求項19記載のデータ処理装置。

【請求項21】 デュアルポートメモリにおける複数のエンタリー領域は、メモリデバイスからのデータ読出用と、メモリデバイスへのデータ書込用とに割り当てられており、

前記エンタリー管理手段は、メモリデバイスからのデータ読み出しを要求する旨のアクセスコマンドをマスタデバイスが発行した場合、データ読出用に割り当てられた空きのエンタリー領域のエンタリーアドレスを発行元のマスタデバイスに出力して、メモリデバイスへのデータ書き込みを要求する旨のアクセスコマンドをマスタデバイスが発行した場合、データ書込用に割り当てられた空きのエンタリー領域のエンタ

リーアドレスを発行元のマスタデバイスに出力し、前記メモリ制御部は、エンタリーアドレスが出力されたエンタリー領域と、メモリデバイスとの間のデータ転送を行い、前記複数のローカルコントローラ部の1つは、エンタリーアドレスが出力されたエンタリー領域と、アクセスコマンドの発行元のマスタデバイスとの間のデータ転送を行わせることを特徴とする請求項19記載のデータ処理装置。

10 【請求項22】 前記アクセスコマンドは、メモリデバイスからのデータ読み出しを要求するもの、又は、メモリデバイスへのデータ書き込みを要求するものの他に、デュアルポートメモリにおける何れかのエンタリー領域と、メモリデバイスにおける外部領域とのダイレクトメモリアクセス(DMA)転送を要求するものがあり、DMA転送を要求するアクセスコマンドは、

メモリデバイスにおける外部領域を示す外部アドレスの指定と、デュアルポートメモリにおける何れかのエンタリー領域を指示するエンタリーアドレスの指定とを含み、

20 前記データ処理装置は、DMA転送を要求するアクセスコマンドが発行されると、アクセスコマンドにて指定されたエンタリーアドレスに対応するタグ領域に、アクセスコマンドにて指定された外部アドレスを格納させて、エンタリーアドレスにより指示されたエンタリー領域と、外部アドレスにより示される外部領域との間のデータ転送をメモリ制御部に行わせるDMA制御部を備えることを特徴とする請求項15記載のデータ処理装置。

30 【請求項23】 前記エンタリー領域は、複数のメモリセルからなり、

各メモリセルは、マスクビットを含み、

前記メモリ制御部は、エンタリー領域に格納されているデータをメモリデバイスに転送する際、マスクビットがオンに設定されているメモリセルはメモリデバイスに書き込まず、マスクビットがオフに設定されているメモリセルのみメモリデバイスに書き込むことを特徴とする請求項15記載のデータ処理装置。

40 【請求項24】 前記データ処理装置は2つ以上のマスタデバイスが同じサイクルにおいてアクセスコマンドを発行した場合、発行元のマスタデバイスのうち、何れかのものに、デュアルポートメモリ内のエンタリー領域を介したデータ転送を許可するアービターと、複数のマスタデバイスのそれぞれに対応づけられており、何れかのマスタデバイスに対してデュアルポートメモリ内のエンタリー領域を介したデータ転送が許可されれば、エンタリー領域と当該マスタデバイスとの間のデータ転送を行わせる複数のローカルコントローラとを備え、

前記メモリ制御部は、
何れかのマスタデバイスに対してデュアルポートメモリ内のエンタリー領域を介したデータ転送が許可されれば、メモリデバイスとエンタリー領域との間のデータ転送を行うことを特徴とする請求項15記載のデータ処理装置。

【請求項25】 前記アービターは、
リング状に接続されている n 個のレジスタであり(n は、2以上の整数)、各レジスタには、各マスタデバイスについての識別情報が格納されているリングレジスタと、
10 n サイクルにおいて、 n 個のレジスタに格納されている n 個の識別情報のそれぞれを順次カレント情報として指定するよう、 n 個のレジスタのそれぞれに格納されている識別情報を巡回シフトさせるシフト制御手段と、
マスタデバイス x についての識別情報がカレント情報として指定されているサイクルにおいて、当該マスタデバイス x によりアクセスコマンドが発行された場合、当該マスタデバイス x に対して、デュアルポートメモリ内のエンタリー領域を介したデータ転送を許可する許可部とを備えることを特徴とする請求項24記載のデータ処理装置。

【請求項26】 前記マスタデバイス x についてのデータ転送を、 n 回につき m 回(m は、 $n>m$ を満たす整数)の割合で許可させたい場合、前記 n 個のレジスタのうち、 m 個のレジスタにマスタデバイス x についての識別情報 x を格納させる格納制御手段を備え、

前記許可部は、
 m 個のレジスタの何れかに格納されている識別情報 x がカレント情報として指定されているサイクルにおいて、当該マスタデバイス x によりアクセスコマンドが発行された場合、当該マスタデバイス x に対して、デュアルポートメモリ内のエンタリー領域を介したデータ転送を許可することを特徴とする請求項25記載のデータ処理装置。

【請求項27】 前記各マスタデバイスには、優先順位が付与されており、
前記許可部は、
 m 個のレジスタの何れかに格納されている識別情報 x がカレント情報として選択されているサイクルにおいて、当該マスタデバイス x がアクセスコマンドを発行していない場合、マスタデバイス x より優先順位が低いマスタデバイスであって、アクセスコマンドを発行したものに対して、デュアルポートメモリ内のエンタリー領域を介したデータ転送を許可することを特徴とする請求項26記載のデータ処理装置。

【請求項28】 前記許可部は、
 m 個のレジスタの何れかに格納されている識別情報 x がカレント情報として選択されているサイクルにおいて、当該マスタデバイス x 及びマスタデバイス x より優先順位が低いマスタデバイスがアクセスコマンドを発行していな

い場合、マスタデバイス x より優先順位が高いマスタデバイスであって、アクセスコマンドを発行したものに対して、デュアルポートメモリ内のエンタリー領域を介したデータ転送を許可することを特徴とする請求項27記載のデータ処理装置。

【請求項29】 前記データ処理装置は複数のローカルバッファ手段と、一方の読み書きポートがデュアルポートメモリに接続され、他方の読み書きポートがマスタデバイスに接続されており、マスタデバイスの読み書きポートのビット幅と、デュアルポートメモリの読み書きポートのビット幅とを整合させるように、デュアルポートメモリから読み出すべきデータ、及び、デュアルポートメモリに書き込むべきデータの入出力を行うことを特徴とする請求項14記載のデータ処理装置。

【請求項30】 前記複数のローカルバッファ手段は、デュアルポートメモリから読み出すべきデータの入出力と、デュアルポートメモリに書き込むべきデータの入出力とを並行して行うダブルバッファであることを特徴とする請求項29記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のデータ転送要求を効率よく処理するデータ処理装置に関する。

【0002】

【従来の技術】近年、DVD再生装置やデジタル衛星放送の受信装置といった様々なタイプのマルチメディア関連製品が民生機器市場に登場しており、それらを開発するメーカー間の競争も激しくなりつつある。このような背景にあって、信号処理の応用分野に携わる設計者は、複数のメディア処理の並列化を効率良く行う汎用信号処理プロセッサの開発に様々な苦心を払っている。複数メディア処理の並列化に苦心が払われるのは、上記のような製品の開発において、ビデオ、オーディオのデータが多重化されたMPEGストリームに加えて、コンピュータ・グラフィックス等のデータを如何に効率良く同時処理するかが、これらの製品の市場的価値を大きく左右するからである。ここでメディア処理には、ビデオ復号処理、オーディオ復号処理、ビデオ出力処理、コンピュータ・グラフィックス描画処理等を始めとする様々なものがある。

【0003】このようなメディア処理では、その他のデータ処理と比較して、統計的に複数の独立したDMA転送を同時に実行する機会が非常に多いという特徴と、またそれぞれのDMA転送の処理の種類によってバンド幅が異なるという特徴とが顕著に現れるので、その効率化に様々な注意が必要となる。ここでDMA(Direct Memory Access)とは中央処理装置(CPU)の介在無しに複数マスタデバイスとメモリとの間で転送を行なうことをいう。

【0004】上記のメディア処理の一例において各マスタデバイスは、ビデオ復号処理、オーディオ復号処理、ビデオ出力処理、コンピュータ・グラフィックス描画処

理等の何れかを実現するアプリケーションプログラムと、このプログラムを動作させるハードウェアとからなり、またメディア処理の一例において上記メモリは、これらアプリケーションプログラムが利用するビデオデータ、オーディオデータ、コンピュータ・グラフィックスデータを格納するものである。

【0005】更にDMA転送のバンド幅とは、各マスタデバイス、メモリの読み書きポートのビット幅と、マスタデバイス、メモリの動作周波数との間の積により表現される単位である。大凡の値を例示すると、ビデオ復号処理のアプリケーションプログラムは、動き補償時に参照画像のDMA転送を行う必要があり、このDMA転送は800Mbyte/sというオーダのバンド幅を要求する。また、オーディオデータ、コンピュータ・グラフィックスデータ用のアプリケーションプログラムは、50Mbyte/sというオーダのバンド幅を要求するものであり、ビデオ出力処理のアプリケーションプログラムは、「128Mbyte/s×プレーン数」というオーダーのバンド幅を要求する。このようにバンド幅の必要数が個々のメディア処理において異なるのは、処理すべきデータサイズやデータ復号負荷の軽さ・重さがそれぞれのメディア処理においてバラバラだからである。

【0006】以降、一般のDMA転送を行うDMA転送システムと、メディア処理特有の改良が施されたDMA転送システムとを対比して説明する。前者のシステム構成図を図29に示し、後者のシステム構成図を図30に示す。図29においてデータ処理装置はメモリ51、メモリコントローラ52、アービター53、バス54、マスタデバイス45、46、47から構成される。

【0007】マスタデバイス45、46、47は、メディア処理に係るアプリケーションプログラムを動作させている。各アプリケーションプログラムがDMA転送を要求した場合、メモリコントローラ52に対してバスリクエストを発行する。バスリクエストが発行されると、アービター53はマスタデバイス45、マスタデバイス46、マスタデバイス47間の調停を行い、調停の結果、マスタデバイス45、マスタデバイス46、マスタデバイス47の何れかの一つに使用権を付与する。バス使用権を獲得出来なかったものは、データの転送開始を待ち、使用権が付与された後、データ転送を開始する。

【0008】上述した通りメディア処理にはそれぞれのアプリケーションプログラムに最適なバンド幅を割り当てる必要があり、このようなバンド幅割り当て技術には、バスを複数に分割することにより得られたビット幅をマスタデバイス45～マスタデバイス47のそれぞれに割り当てる方法がある。例えばメモリ51の読み書きポート及びバスのビット幅が128bitである場合、これを64bit-32bit-32bitに分割して、これらを各アプリケーションプログラムが動作しているマスタデバイス45～マスタデバイス47のそれぞれに割り当てるのであ

る。図30は、ビット幅分割により実現されたバンド幅割り当て技術の一例を示す図である。図30において128bitのバスを64bit、32bit、32bitに分割し、分割により得られたそれぞれのビット幅をマスタデバイス45～マスタデバイス47に割り当てている。

【0009】この際、メモリ51内の読み書きポートをバスの分割幅に応じて分割すると共に、メモリコントローラはパラレルにメモリ内部のアクセス制御を行う。即ち、64bit、32bit、32bitのデータをパラレルにメモリ内部から読み出し、64bit、32bit、32bitのデータをパラレルにメモリ内部に書き込む。このようなアクセス制御の並列化を行うためには、64bit、32bit、32bitデータの同時アクセスを行うための制御回路(図中の「64bit access control」「32bit access control」「32bit access control」)をメモリコントローラ内に設けねばならないが、このビット幅を分割する方法では、バスが分割されることによりマスタデバイス45～マスタデバイス47間の競合は生じず、メモリバスのバスロックが発生することはない。

【0010】ここでマスタデバイス45は、映像復号処理を行うものと想定しており、64bitというビット幅を割り当てている。このようにマスタデバイス45により高いビット幅を割り当てているのは、映像復号処理は他のメディア処理より高いバンド幅を必要としているためである。つまりメディア処理では、リアルタイム性を維持するのに足りる充分なバンド幅が互いに異なるので、このビット幅を分割する方法では、各アプリケーションプログラムが必要とするバンド幅に応じて、ビット幅の分割比率を決定せねばならない。

【0011】最後に上記データ処理装置に用いられるべきメモリデバイスについて説明する。上述した信号処理応用分野は、より大容量で高いバンド幅を有するメモリデバイスを要求しており、このような需要にこたえるため、半導体プロセスおよび実装技術において様々な技術革新がなされている。その結果、電子部品市場には高性能なメモリデバイスが続々と登場しており、そのモデルチェンジも極めて頻繁に行われている。ここでメモリデバイスには、SDRAM、RAMBUS仕様のメモリ等がある。Syncronous Dynamic Random Access Memory(SDRAM)とはデータのバースト転送を実現し、DRAMと比較して転送能力を向上させたメモリである。RAMBUS仕様のメモリとは、バスとのインターフェースの仕様が実装方法を含めて厳密に規定されたメモリでありSDRAMよりも高いバンド幅を得ることを可能としており、かかるメモリには、D-RDRAMと呼ばれるものがある。またデータ処理装置と比較的大容量のDRAMとを同一の半導体チップ上に搭載するよう半導体プロセスを行うこと(一般にオンチップ化といわれる)も可能となってきた。

【0012】このように多くのメモリデバイスが登場し、そのモデルチェンジも頻繁であれば、メモリアーキ

テクチャをどのように設計するかという判断に設計者は戸惑うことになる。このような判断を行うにあたって大きな要因はやはりバンド幅と製造コストであるが、データ処理装置の将来性を考慮した設計を行うことも必要である。将来性を考慮したメモリアーキテクチャの設計とは、様々なハードウェアスペックを有するメモリデバイスを採用することができるようにメモリアーキテクチャを汎用化しておくことである。

【0013】

【発明が解決しようとする課題】ところで第1に説明したビット幅を分割して最適なバンド幅を割り当てる方法は、マスタデバイス45～マスタデバイス47に対してのそれぞれに割り当てているビット幅を増やしたり、減らしたりしようすると、そのようなビット幅の割当変更が装置全体の設計変更にも波及するという第1の問題点を有している。

【0014】バンド幅の割当変更は、ある装置に設けられているデータ処理装置を他の装置に転用する場合等に必要となる。このような転用は、MPEGストリームの復号という共通の機能を有する複数製品を並行開発する場合に、しばしば見受けられるものである。ここで以下に示すような状況を想定してデータ処理装置の転用について説明する。図30に示したデータ処理装置はMPEGストリームの復号装置であり、このMPEGストリームの復号装置は、それまで光ディスクの再生装置に搭載されることを前提にして開発されたものとする。また本装置は当初はディスク再生装置への搭載が前提であったが、メーカーの商品開発戦略上の都合により、この復号装置をデジタル衛星放送等の受信装置等の他の装置に転用することが命じられたものとする。以上の理由で復号装置の転用が命じられると当該装置の設計者は、再生装置特有のメディア処理に割り当てているビット幅を受信装置特有のメディア処理に割り当てる対処等を行わねばならないが、この対処を行なおうとすると、従来のデータ処理装置ではバスの再配線(1)や、メモリデバイスの読み書きポートの設計し直し(2)、マスタデバイス45～マスタデバイス47の読み書きポートの設計し直し(3)、メモリコントローラの設計し直し(4)等を考慮する必要がある。

【0015】例えば、図30の一例においてメモリコントローラは、64bit、32bit、32bitのデータをパラレルにメモリ内部から読み出すと共に、64bit、32bit、32bitのデータをパラレルにメモリ内部に書き込むような制御を行うが、マスタデバイス45～マスタデバイス47に対してのビット幅の割り当てを64bit、24bit、8bitに変更しようとした場合、メモリコントローラは、64bit、24bit、8bitのデータをパラレルにメモリ内部から読み出すと共に、64bit、24bit、8bitのデータをパラレルにメモリ内部に書き込むような制御を行わねばならないので図30に示したメモリコントローラの制御を根本的に設計し直す必要がある。また、マスタデバイス46～

マスタデバイス47のインターフェイスのビット幅変更が発生するので、これらを別のものに置き換えねばならず、またマスタデバイス46～マスタデバイス47のインターフェイスとバスとの配線接続も新たにやり直さねばならない。

【0016】このような(1)から(4)までの配線やり直しや再設計を行うことは、設計者にとって多大な負担となり、設計者は各メディア処理に異なるバンド幅を割り当てることに、データ処理装置を再設計にする際に等しい労力を払わねばならない。また第2に説明したように、データ処理装置は様々なメモリデバイスの採用が可能なようにメモリアーキテクチャを設計しておくことが望ましいが、一般に接続すべきメモリデバイスにはその最大性能を発揮することができる動作周波数が有り、従来のデータ処理装置の動作周波数は、そのような最大性能を発揮できる値に設定されているので、メモリデバイスを他のものに置き換えようとする場合、その新たなメモリデバイスの最大性能を発揮できる値にデータ処理装置側の動作周波数を再設定しなければならないという問題点がある。即ち、データ処理装置の製造コスト、メモリの容量等の観点から複数メモリデバイスのうち何れか一つを採用したが後日の仕様変更によりメモリデバイスを別のものに置き換えねばならない場合、メモリデバイスの変更の度にデータ処理装置の動作周波数を変更せねばならないので、設計者に大きな負担が強いられるという問題点がある。

【0017】加えて、データ処理装置を実装した半導体チップにメモリをオンチップ化した場合、オンチップ化されたメモリ及びメモリデバイスの何れか一方は、最大性能を発揮することができないという別の問題点がある。メモリコントローラ52～マスタデバイス45～マスタデバイス47と、メモリ51とを同一チップに実装した場合、これらを同一の動作周波数で動作させる必要がある。この場合、メモリデバイスの最大性能を発揮させる動作周波数と、オンチップ化されたメモリの最大性能を発揮させる動作周波数とが異なることも充分有り得る。この場合、何れか一方側の最大性能を発揮させる動作周波数でデータ処理装置を動作させれば、他方側は最大性能を発揮することができない。更に映像関連のメディア処理では、ディスプレイ装置の動作周波数に基づいてデータ処理装置の動作周波数を設定するのが望ましいが、このようにディスプレイ装置の動作周波数に基づいてデータ処理装置の動作周波数を設定すれば、今度はメモリデバイスの最大性能を発揮することができなくなってしまう。

【0018】上記第1の目的を達成するために本発明は、将来におけるメディア処理毎のバンド幅の割り当て変更に対処できるよう、高い汎用性を有するデータ処理装置を提供することである。上記第2の目的を達成するために本発明は、将来におけるメモリデバイスの置き換

えや、メモリのオンチップ化に対処できるよう、高い汎用性を有するデータ処理装置を提供することである。

【0019】

【課題を解決するための手段】上記第1の目的は、2つのポイントを有しており、そのうち一方のポイントにてメモリデバイスと接続されるメモリバスと、それぞれが2つ以上のポイントを有しており、そのうち1つ以上のポイントにて各マスタデバイスと接続される複数のローカルバスと、メモリデバイスに対するデータ読み出し、及び、メモリデバイスに対するデータ書き込みを行い、各ローカルバス上では、各マスタデバイスが要求する転送レートにてデータ転送を行わせ、メモリバス上では、メモリデバイスが要求する転送レートにてデータ転送を行わせる転送コントローラと、メモリバスの他方のポイント、及び、各ローカルバスの1つのポイントにて接続された複数のバッファであり、メモリバスと、ローカルバスとの間の転送レートの相違を吸収するよう、データの入出力を行う複数のローカルバッファ手段とを備えるデータ処理装置により達成される。

【0020】上記第2の目的は、一方のポートが前記メモリデバイスの読み書きポートに接続していて、他方のポートが前記複数のローカルバッファ手段に接続しており、メモリデバイスにおける動作周波数とデータ処理装置内部における動作周波数との相違を吸収するよう、メモリバスと複数のローカルバッファ手段との間でデータの入出力を行うデュアルポートメモリデバイスを備えるデータ処理装置により達成される。

【0021】

【発明の実施の形態】以下データ処理装置の実施の形態について図面を参照しながら説明する。尚、データ処理装置の諸機能をまとめて説明しようとする、説明が著しく複雑になる恐れがあるので、複数の実施形態においてデータ処理装置の諸機能を段階的に説明してゆくこととする。

【0022】（第1実施形態）第1実施形態は、少ない労力で複数のマスタデバイスに対してのバンド幅の割り当てを変更できるように構成されたデータ処理装置に関する。データ処理装置を図1に示す。図1に示すように、データ処理装置は、ワンチップのLSIであり、外部メモリデバイス2と共にマルチメディア関連製品に組み込まれて利用される。このような「ビット幅割当変更作業の簡易」という要旨を持って構成されたデータ処理装置を図2に示す。図2の構成図は、データ処理装置の構成要素のうち、上記の要旨に必要なもののみを図示しており、このような要旨と関係無い構成要素については、その図示を省略している。図2において一点鎖線で示す枠は、データ処理装置としてワンチップ化される部位を示している。図2において、データ処理装置は、メモリコントローラ3と、マスタデバイス4と、マスタデバイス5と、マスタデバイス6と、ローカルメモリ7と、ロー

カルメモリ8と、ローカルメモリ9と、バス10と、バス11と、バス12と、ローカルバッファ13と、ローカルバッファ14と、ローカルバッファ15と、アービター16と、ローカルコントローラ17と、ローカルコントローラ18と、ローカルコントローラ19と、接続回路20、21、22とを備え、128bitバス1を介して外部メモリデバイス2と接続されている。

【0023】本実施形態及び以降の実施形態において各マスタデバイスが要求する転送レート（バンド幅）は、バスのビット幅と、各マスタデバイスが要求する使用頻度とによって左右される。即ち、ビット幅が同一のバスが2つあり、一方のバスにおいてマスタデバイスは、高い頻度でデータ転送を要求し、他方のバスにおいてマスタデバイスは、低い頻度でデータ転送を要求する場合、「前者のマスタデバイスが要求する転送レートは、後者のマスタデバイスが要求する転送レートより高い」ことを意味する（尚、以降の説明にあたっては、説明の簡略化を図るため、各マスタデバイスについての使用頻度については特に考慮せず、各マスタデバイスが要求する転送レートを、読み書きポートのビット幅のみで表現するものとする。）。

【0024】また、メディア処理を行うにあたって、各読み書きポートのビット幅には最適な値が存在するが、これらを具体的に例示して説明を行うと説明が煩雑化する恐れがあるので、以降では、バス1、バス10、バス11、バス12のビット幅及びバンド幅を128bit、64bit、32bit、32bitと仮定して説明を行う。またローカルバッファ13、ローカルコントローラ17、接続回路20は、マスタデバイス4に対応づけられた周辺回路なので、以降の説明では、これらを「マスタデバイス4の周辺回路」と総称する。同様に、ローカルバッファ14、ローカルコントローラ18、接続回路21は、「マスタデバイス5の周辺回路」と総称し、ローカルバッファ15、ローカルコントローラ19、接続回路22を、「マスタデバイス6の周辺回路」と総称する。

【0025】128bitバス1は、外部メモリデバイス2と、ローカルバッファ13～ローカルバッファ14～ローカルバッファ15との間のデータ転送を行う。本実施形態において外部メモリデバイス2の読み書きポートのビット幅は128bitであり、ローカルバッファ13～ローカルバッファ15の一方側の読み書きポートのビット幅が128bitなので、128bitバス1におけるデータ転送は128bitの転送レートで行われる。

【0026】図3はバス1と外部メモリデバイス2の入出力との関係を示すタイミングチャートである。バス1におけるデータ転送は、本図の第3段目に示している。本図におけるData(Ptr.4)は、マスタデバイス4がメモリからの読み出し又はメモリへの書き込みを要求した128bitのデータであり、Data(Ptr.5)、Data(Ptr.6)はそれぞれ、マスタデバイス5、マスタデバイス6がメモリか

らの読み出し又はメモリへの書き込みを要求した128bitのデータである。

【0027】本図を参照するとサイクルc1,c3,c5,c7,c9においてData(Ptr.4)が転送され、サイクルc2,c6,c10においてData(Ptr.5)、サイクルc4,c8においてData(Ptr.6)が転送されていることがわかる。これは、Data(Ptr.4)は2サイクルに1回の割合で転送されており、Data(Ptr.5)、Data(Ptr.6)は4サイクルに1回の割合で転送されていることを示す。本図に示すようにバス1は、マスタデバイス4～マスタデバイス6についてのデータを時分割で転送しているのである。

【0028】外部メモリデバイス2は、マスタデバイス4、マスタデバイス5、マスタデバイス6が用いるべきワークエリアと、128bitの読み書きポートとを有しており、メモリコントローラ3から読出コマンドと、読出先アドレスと、読み出すべきデータ長とが指示されると、そのデータをバス1に出力する。一方メモリコントローラ3から書込コマンドと、書込先アドレスとが指示されると、バス1に出力されたデータをその書込先アドレスに書き込む。

【0029】メモリコントローラ3は、外部メモリデバイス2からのデータ読み出し制御と、外部メモリデバイス2に対してのデータ書き込み制御とを行う。メモリコントローラ3によるデータ読み出し制御は、読出先アドレスと、読出コマンドと、読み出すべきデータ長とを外部メモリデバイス2に対して発行して、当該読出先アドレス以降に共に格納されているデータを外部メモリデバイス2からバス1に読み出させることにより行われる。また書き込み制御は、書込先アドレスと、書込コマンドと、書き込むべきデータ長とを外部メモリデバイス2に対して発行して、バス1に転送されているデータを外部メモリデバイス2において当該書込先アドレス以降に書き込ませることにより行われる。メモリコントローラ3によるこれらのデータ読出制御／データ書込制御は、マスタデバイス4～マスタデバイス6からの読出要求／書込要求に従って行われる。そのため、メモリコントローラ3は複数のポイントと、インクリメントとを有している。複数のポイントのそれぞれは、マスタデバイス4、マスタデバイス5、マスタデバイス6のそれぞれに対応づけられ、マスタデバイス4～マスタデバイス5から発せられた読出先／書込先アドレスを格納している。また、インクリメントは、マスタデバイス4～マスタデバイス6のうち何れかのものについての読出コマンド及び書込コマンドを発行すると、該当するマスタデバイスに対応したポイントに格納されているアドレスをインクリメントする。

【0030】続いてマスタデバイス4～マスタデバイス6についての読出要求／書込要求をどのようなタイミングで外部メモリデバイス2に対して行うかを図3のタイミングチャートを参照しながら説明する。本図の第1段

目は外部メモリデバイス2に対してのアドレス出力を示し、第2段目は外部メモリデバイス2からのデータ出力を示す。これらを参照すると、Data(Ptr.4)は2サイクルに1回の割合で転送せねばならず、Data(Ptr.5)、Data(Ptr.6)は4サイクルに1回の割合で転送せねばならないので、メモリコントローラ3はサイクルc0,c2,c4,c6,c8,c10においてアドレスPtr.4についての読出先アドレスと読出コマンドとを外部メモリデバイス2に出力しており、サイクルc1,c5,c9においてアドレスPtr.5についての読出先アドレスと読出コマンドとを出力している。またサイクルc3,c7においてアドレスPtr.6についての読出先アドレスと読出コマンドとを出力している。

【0031】マスタデバイス4は、ローカルメモリ7と、64bitの読み書きポートとを備え、メモリコントローラ3に対してデータの読み出し／書き込みを要求するアクセスコマンドを発行する。データ読み出しを要求する際、外部メモリデバイス2に格納されているデータの読み出しを要求する旨を示すアクセスコマンドをメモリコントローラ3に発行し、外部メモリデバイス2ーバス1ーローカルバッファ13ーバス10を介して、当該データが転送されてくるのを待つ。データが転送されてくると当該データを順次取り込みローカルメモリ7に格納してゆく。

【0032】データ書き込みを要求する際、外部メモリデバイス2にデータの書き込みを要求する旨を示すアクセスコマンドをメモリコントローラ3に発行し、外部メモリデバイス2に書き込むべきデータをローカルメモリ7からバス10に順次出力する。出力されたデータは、バス10ーローカルバッファ13ーバス1を介して順次外部メモリデバイス2に書き込まれてゆく。

【0033】マスタデバイス5は、ローカルメモリ8と、32bitの読み書きポートとを備え、マスタデバイス4同様、メモリコントローラ3に対してデータの読み出し／書き込みを要求する。マスタデバイス4との違いは、データの読み出し／書き込みを行う際のデータ転送経路である。即ち、マスタデバイス4が外部メモリデバイス2ーバス1ーローカルバッファ13ーバス10の経路でデータの読み出し／書き込みを行うのに対して、マスタデバイス5は、外部メモリデバイス2ーバス1ーローカルバッファ14ーバス11の経路でデータの読み出し／書き込みを行う。

【0034】マスタデバイス6は、ローカルメモリ9と、32bitの読み書きポートとを備え、マスタデバイス4同様、メモリコントローラ3に対してデータの読み出し／書き込みを要求する。マスタデバイス4との違いは、データの読み出し／書き込みを行う際のデータ転送経路である。即ち、マスタデバイス4が外部メモリデバイス2ーバス1ーローカルバッファ13ーバス10の経路データの読み出し／書き込みを行うのに対して、マスタデバイス6は、外部メモリデバイス2ーバス1ーロー

カルバッファ15-バス12の経路データの読み出し／書き込みを行う。

【0035】バス10は、マスタデバイス4の読み書きポートと、ローカルバッファ13の他方側読み書きポートとに接続されたバスである。バス11は、マスタデバイス5の読み書きポートと、ローカルバッファ14の他方側読み書きポートとに接続されたバスである。バス12は、マスタデバイス6の読み書きポートと、ローカルバッファ15の他方側読み書きポートとに接続されたバスである。

【0036】ローカルバッファ13は、一方側の読み書きポートに128bitバス1が接続され、他方側の読み書きポートに接続回路20を介してバス10が接続されたバッファであり、外部メモリデバイス2が128bitの読み書きポートにてバス1に出力したデータを取り込み、これをバス10を用いて転送させる。逆に、バス10に転送されているデータを取り込み、これをバス1に出力する。ここでローカルバッファ13における他方側読み書きポートのビット幅は最大128bitであるが、接続回路20を介することにより、他方側読み書きポートのビット幅がマスタデバイス4の読み書きポートと同一のビット幅、即ち、64bitに設定されている。このようにマスタデバイス4の読み書きポートが64bitであり、ローカルバッファ13の読み書きポートが64bitに設定されているので、バス10における転送は64bitの転送レートにて行われる。

【0037】続いてローカルバッファ13の入出力について図4及び図5を参照しながら説明する。図4は、ローカルバッファ13が外部メモリデバイス2へとデータを出力する際の動作タイミングを示すタイミングチャートであり、図5は、ローカルバッファ13が外部メモリデバイス2から読み出されたデータを入力する際の動作タイミングを示すタイミングチャートである。

【0038】図4を参照して、先ずローカルバッファ13から外部メモリデバイス2へのデータ書き込み時の処理について説明する。サイクルc2では、バス10において64bitにて転送されているデータ"データd0,1をローカルバッファ13は取り込み、続いてサイクルc3ではバス10において64bitにて転送されているデータ"データd2,3をローカルバッファ13は取り込む。このようにして取り込んだデータd0,1,2,3をサイクルc4においてバス1に転送する。

【0039】サイクルc3においてメモリコントローラ3はマスタデバイス4のための書込先Ptr.4を出力しているので、サイクルc4においてバス1に転送されているデータd0,1,2,3がその書込先に書き込まれることになる。同様にサイクルc4では、バス10において転送されているデータd4,5を、サイクルc5ではデータ"データd6,7をローカルバッファ13は取り込む。このようにして取り込んだデータd4,5,6,7をサイクルc6においてバス1に転

送すると、データd4,5,6,7がその書込先アドレスPtr.4に書き込まれる。

【0040】続いて図5を参照して、外部メモリデバイス2からローカルバッファ13へのデータ読み出し時の処理について説明する。サイクルc3ではメモリコントローラ3はマスタデバイス4のための読出先アドレスPtr.4を出力しているので、サイクルc4においてデータd0,1,2,3がバス1に転送される。サイクルc4において、ローカルバッファ13はバス1において128bitにて転送されているデータd0,1,2,3をローカルバッファ13は取り込む。続いてサイクルc5では、このようにして取り込んだデータd0,1,2,3のうち、データd0,1をサイクルc5においてバス10に転送し、データd2,3をサイクルc6においてバス10に転送する。

【0041】サイクルc5においてメモリコントローラ3はマスタデバイス4のための読出先Ptr.4を出力しているので、バス1にはその読出先に格納されているデータd4,5,6,7が転送されている。サイクルc6においてローカルバッファ13は、バス1において転送されているデータ"データd4,5,6,7を取り込む。このようにして取り込んだデータd4,5,6,7のうち、データd4,5をサイクルc7においてバス10に転送し、サイクルc8においてデータd6,7をバス10に転送する。

【0042】以上のようにローカルバッファ13からバス1へのデータ出力及びバス1からローカルバッファ13へのデータ取り込みには2サイクルを要することがわかる。Data(Ptr.4)を2サイクルに1回の割合でバス1に転送させるようメモリコントローラ3がメモリアクセスを行っていたのは、ローカルバッファ13におけるデータ出力及びデータ取込に2サイクルを要するからである。これらのローカルバッファ13における入出力により、バス1の転送速度とバス10の転送速度との速度差が吸収されていることがわかる。

【0043】ローカルバッファ14、ローカルバッファ15は、一方側の読み書きポートに128bitバス1が接続され、他方側の読み書きポートに接続回路21、接続回路22を介してバス11、バス12が接続されたバッファであり、外部メモリデバイス2がバス1に出力したデータを取り込み、これをバス11、バス12を用いて転送させる。逆に、バス11、バス12に転送されているデータを取り込み、これをバス1に出力する。ここでローカルバッファ14、ローカルバッファ15における他方側読み書きポートのビット幅は最大128bitであるが、接続回路21、接続回路22を介することにより、他方側読み書きポートのビット幅がマスタデバイス5、マスタデバイス6の読み書きポートと同一のビット幅、即ち、32bitに設定されている。このようにマスタデバイス5、マスタデバイス6の読み書きポートは32bitに設定済みであり、ローカルバッファ14、ローカルバッファ15の読み書きポートが32bitに設定されているの

で、バス11、バス12における転送は32bitの転送レートにて行われる。

【0044】続いて図6及び図7を参照しながらローカルバッファ14の入出力のタイミングについて説明する。図6は、ローカルバッファ14が外部メモリデバイス2にデータを書き込む際の動作タイミングを示すタイミングチャートであり、図7は、ローカルバッファ14が外部メモリデバイス2からデータを読み出す際の動作タイミングを示すタイミングチャートである。

【0045】先ず図6を参照して、ローカルバッファ14から外部メモリデバイス2へのデータ書き込み時の処理について説明する。サイクルc2では、バス11において32bitにて転送されているデータd0を取り込み、サイクルc3では、データd1を取り込む。同様にサイクルc4、c5では、データd2、d3を取り込んでゆく。以上のようにして取り込んだデータd0、1、2、3をサイクルc6においてバス1に転送する。

【0046】サイクルc5ではメモリコントローラ3はマスタデバイス4のための書込先"Ptr.5"を出力している。サイクルc6においてバス1に転送されているデータd0、1、2、3がその書込先"Ptr.5"に書き込まれることになる。同様にサイクルc6、c7では、バス11において転送されているデータd4、5を、サイクルc8、9ではデータd6、7をローカルバッファ14は取り込む。このようにして取り込んだデータd4、5、6、7をサイクルc10においてバス1に転送すると、データd4、5、6、7がその書込先アドレスPtr.5に書き込まれる。

【0047】次に図7を参照して、外部メモリデバイス2からローカルバッファ14へのデータ読み出し時の処理について説明する。サイクルc3ではメモリコントローラ3はマスタデバイス5のための読出先"Ptr.5"を出力している。サイクルc4において、そのデータd0、1、2、3がバス1に転送される。サイクルc4では、バス1において128bitにて転送されているデータ"データd0、1、2、3"をローカルバッファ14は取り込む。続いてサイクルc5では、このようにして取り込んだデータd0、1、2、3のうち、データd0をバス11に転送し、サイクルc6では、データd1を転送する。サイクルc7ではデータd2を、サイクルc8ではデータd3をそれぞれ出力する。

【0048】サイクルc7ではメモリコントローラ3はマスタデバイス4のための読出先"Ptr.5"を出力している。サイクルc8においてデータd4、5、6、7がバス1に転送される。ローカルバッファ14はこのように転送されたデータd4、5、6、7を取り込む。続いてサイクルc9では、このようにして取り込んだデータd4、5、6、7のうち、データd4をバス11に転送し、サイクルc10では、データd5を転送する。サイクルc11ではデータd6を、サイクルc12ではデータd7をそれぞれ出力する。

【0049】以上のようにローカルバッファ14からバス1へのデータ出力及びバス1からローカルバッファ1

4へのデータ取り込みには4サイクルを要することがわかる。Data(Ptr.5)を4サイクルに1回の割合でバス1に転送させるようメモリコントローラ3がメモリアクセスを行っていたのは、ローカルバッファ14におけるデータ出力及びデータ取込に4サイクルを要するからである。これらのローカルバッファ14における入出力により、バス1の転送速度とバス11の転送速度との速度差を吸収されていることがわかる。

【0050】アービター16は、バス1の使用についての競合が複数のマスタデバイス間で発生した場合にバス1の使用に關しての調停を行う。調停の結果、バス1を使用すべきと認定したマスタデバイスに対してアクノリッジ信号を出力する。一方、バスの使用が否認されたものに対してはアクノリッジ信号をインアクティブに設定するか、あるいは、ホールド信号を出力する。これによって、バッファへの書き込み、又は、バッファからの読み出しが遅延することになり、バス転送が遅延する。

【0051】尚、既に述べた通り本実施形態では、4サイクルのうち、2サイクルをData(Ptr.4)のデータ転送に割り当てていて、残り2サイクルのうち、1サイクルずつData(Ptr.5)のデータ転送、Data(Ptr.6)のデータ転送に割り当てているので、マスタデバイス4～マスタデバイス6のうち何れのものもバス1の使用を待つことは実効的にはない。

【0052】ローカルコントローラ17は、バス1に転送されているデータと、バス10に転送されているデータとの入出力を行うようローカルバッファ13を制御する。メモリへのデータ書き込みを行う際、ローカルコントローラ17は、ローカルバッファ13の内部領域を指示するライトポインタを有しており、バス10に転送されている64bitデータをライトポインタにて指示されているローカルバッファ13の領域に格納させる。出力後、ライトポインタを64bitだけインクリメントさせて、次の64bit分をインクリメントされたライトポインタに指示されている領域に格納させる。このようなライトポインタの更新と、64bit単位のデータ格納とをバス10に出力された全てのデータについて繰り返せば、ローカルバッファ13に128bitデータが格納されたことになる。このように128bitデータを格納した後、バス1に出力する。128bitを外部メモリデバイス2に送り出した後、次の64bitデータがバス10に転送されてくるのを待ち、転送されてくれば同様の手順を繰り返す。

【0053】またローカルコントローラ17は、メモリからのデータ読み出しを行う際、バス1に転送されているデータをローカルバッファ13に格納すると共に、バッファへ読み出された128bitデータのうち、リードポインタにて指示されている部分から64bit分をバス10に出力させる。出力後、リードポインタを64bitだけインクリメントして、次の64bit分をバス10に出力させる。このようなリードポインタの更新と、64bit単位の

データ出力とをローカルバッファ13に読み出された全てのデータについて繰り返せば、ローカルバッファ13のデータは全てマスタデバイス4に送り出されたことになる。128bitデータをマスタデバイス4に送り出した後、次の128bitデータがバス1に転送されてくるのを待ち、転送されてくれば同様の手順を繰り返す。

【0054】ローカルコントローラ18、19は、64bitと32bitとの違いはあるが、ローカルコントローラ17と同様にバス1に転送されているデータと、バス11～バス12に転送されているデータとの入出力を行うようローカルバッファ14～ローカルバッファ15を制御する。接続回路20、21、22は、ローカルバッファ13～ローカルバッファ15と、バス10～バス12とをそれぞれ接続する。接続回路20～22はその回路構成が共通化されており、バス10～バス12のそれぞれについて将来、読み書きポートのビット幅を変更すべき要望が生じて、複数セクタの入出力を設定することにより簡易に読み書きポートのビット幅を変更できるようにしている。上記のように接続回路20～接続回路22は、ローカルバッファ13～ローカルバッファ15の読み書きポートのビット幅をそれぞれマスタデバイス4～マスタデバイス6の読み書きポートのビット幅と同一のビット幅に設定しているが、これらのビット幅の設定は、接続回路20～接続回路22が具備している複数セクタの入出力を設定することにより切り換えることができる。

【0055】更に、現状のバンド幅ではバス1にバスロックが発生する可能性がある場合、より広いバンド幅を有するインターフェイスを有する外部メモリデバイス2に置き換え、バス1のビット幅を広くすることにより、マスタデバイス4～マスタデバイス6、バス10～バス12に変更を加えなくても簡易にバスロックを防ぐことが出来るという効果がある。

【0056】以上のように本実施形態によれば、外部メモリデバイス2にバス1を接続すると共に、マスタデバイス4～マスタデバイス6のそれぞれにバス10～バス12を接続しており、ローカルバッファ13～ローカルバッファ15はこれらのバスの入出力を行うので、マスタデバイス4～マスタデバイス6に割り当てべきバンド幅を変更したい場合は、マスタデバイス4～マスタデバイス6及びバス10～バス12、ローカルバッファ13～ローカルバッファ15の一方側の読み書きポートを変更すれば良いので外部メモリデバイス2、メモリコントローラ3、バス1を再設計する必要はない。外部メモリデバイス2～メモリコントローラ3～バス1の変更を伴わずにマスタデバイス4～マスタデバイス6におけるバンド幅の割り当てを変更することができるので、将来バンド幅を変更する必要が生じて、設計者は大きな労力を払うことはない。

【0057】（第1実施形態の応用例）本応用例は、32

bitバッファ61～32bitバッファ64、バス10～バス12、接続回路20～22を共通化する場合の回路構成を提案するものである。図8は、32bitバッファ61～32bitバッファ64、バス10～バス12、接続回路20～22の回路構成を共通化する場合の回路構成を示す図である。図8において、32bitバス57、32bitバス58、32bitバス59、32bitバス60は、バス10～バス12を構成するものであり、32bitバッファ61～32bitバッファ64は何れも128bitバッファ13～128bitバッファ15を構成するものである。4入力-1出力セクタ65、2入力-1出力セクタ66、ゲート67、ゲート68、セクタ71、セクタ72、セクタ73、セクタ74は何れも接続回路20～接続回路22を構成するものである。図9(a)は図8に示したセクタのうち32bitバッファ61～32bitバッファ64から32bitバス57～32bitバス60への読み出し時に用いられるもののみを図示した図であり、図9(b)は図8に示したセクタのうち32bitバス57～32bitバス60から32bitバッファ61～32bitバッファ64への書き込み時に用いられるもののみを図示した図である。

【0058】32bitバス57、32bitバス58、32bitバス59、32bitバス60は、それぞれ32bitのビット幅を有するバスであり、マスタデバイス4～マスタデバイス6のそれぞれと接続されている。64bitでデータ転送を行う場合、32bitバス57～32bitバス58が転送に用いられ、32bitでデータ転送を行う場合、32bitバス57のみが転送に用いられる。

【0059】32bitバッファ61、32bitバッファ62、32bitバッファ63、32bitバッファ64は、32bitのデータを保持するバッファであり、32bitバッファ61～32bitバッファ64の全てを併せてバス128bitのデータを保持する。4入力-1出力セクタ65、2入力-1出力セクタ66、ゲート67、ゲート68、セクタ71、セクタ72、セクタ73、セクタ74は、32bitバス57～32bitバス60における転送を、32bit、64bit、128bitのうち何れかのビット幅で行うよう、入出力の選択切り換えを行う。

【0060】これらのセクタ、ゲートについての入出力の対応表を図10(a)、図10(b)に図示する。図10(a)はビット幅と、4入力-1出力セクタ65～ゲート68が選択する接続線との対応を示す図である。ビット幅が32bitの欄を参照すると、4入力-1出力セクタ65についての欄のみ接続線A、接続線B、接続線C、接続線Dと記述されていることがわかる。これは、32bitの転送レートの場合、4入力-1出力セクタ65が、接続線A～接続線Dを介して第1～第4番目の32bitデータを、バス57上に転送することを示している。

【0061】ビット幅が64bitの欄を参照すると、4入力-1出力セクタ65についての欄に接続線A、接続線Cと記述され、2入力-1出力セクタ66についての欄のみ

接続線B、接続線Dと記述されていることがわかる。これは、64bitの転送レートの場合、接続線A、接続線Cを介して第1、第3番目の32bitデータをバス57上に転送し、接続線B、接続線Dを介して第2、第4番目の32bitデータをバス58上に転送することを示している。

【0062】ビット幅が128bitの欄を参照すると、4入力-1出力セクタ65についての欄に接続線A、2入力-1出力セクタ66についての欄に接続線B、ゲート67についての欄に接続線C、ゲート68についての欄に接続線Dと記述されていることがわかる。これは、128bitの転送レートの場合、接続線A、接続線B、接続線C、接続線Dを介して第1～第4番目の32bitデータをバス57、バス58、バス59、バス60上に転送することを示している。

【0063】続いて図9(a)に示した4入力-1出力セクタ65、2入力-1出力セクタ66、ゲート67、ゲート68の入出力について順次説明する。4入力-1出力セクタ65は、接続線A、接続線B、接続線C、接続線Dを選択的にバス57に出力することにより、32bitバッファ61～32bitバッファ64に格納されているデータを順次バス57に転送させる。

【0064】尚、以降の説明において、128bitデータの部分ビットであって、上位mビット目から上位nビットまでに位置するものをビット[m:n]という単位にて称呼する。図11(a)は、ビット幅が32bitである場合のタイミングチャートである。転送レートが32bitのみである場合、データ転送をバス57のみで行う必要がある。そのため図11(a)のサイクルc11において4入力-1出力セクタ65は、第1番目の32bitデータを出力するため接続線Aを選択出力する。続くサイクルc12において4入力-1出力セクタ65は、第2番目の32bitデータを出力するため接続線Bを選択出力し、サイクルc13において第3番目の32bitデータを出力するため接続線Cを選択出力する。4入力-1出力セクタ65は、サイクルc14において第4番目の32bitデータを出力するため接続線Dを選択出力する。

【0065】図11(b)は、ビット幅が64bitである場合のタイミングチャートである。転送レートが64bitである場合、データ転送は、バス57とバス58とを同時に用いることにより実行される。そのため4入力-1出力セクタ65は、図11(b)のサイクルc11において第1番目の64bitデータの上位32bitを出力するため接続線Aを選択出力する。次のサイクルc12において4入力-1出力セクタ65は、第2番目の64bitデータの上位32bitデータを出力するため接続線Cを選択出力する。

【0066】図11(c)は、転送レートが128bitである場合のタイミングチャートである。転送レートが128bitである場合、データ転送は、バス57とバス58とバス59と、バス60を同時に用いることにより実行される。そのため4入力-1出力セクタ65は、サイクルc11

において1サイクルを費やして、32bitバッファ61に格納されているデータをバス57に転送させるよう、接続線Aのデータを出力する。

【0067】2入力-1出力セクタ66は、接続線B、接続線Dを選択的にバス57に出力することにより、32bitバッファ62、32bitバッファ64に格納されているデータを順次バス57に転送させる。図11(b)に示すように転送レートが64bitである場合、データ転送は、バス57とバス58とを同時に用いることにより実行される。そのため2入力-1出力セクタ66は、サイクルc11において第1番目の64bitデータの下位32bitデータを出力するため接続線Bを選択出力する。次のサイクルc12において2入力-1出力セクタ66は、第2番目の64bitデータの下位32bitデータを出力するため接続線Dを選択出力する。転送レートが128bitである場合、データ転送は、バス57とバス58とバス59とバス60とを同時に用いることにより実行される。そのため2入力-1出力セクタ66は、図11(c)に示すようにサイクルc11において128bitデータにおけるビット[95:64]を出力するため接続線Bを選択出力する。

【0068】ゲート67は、接続線Cを介して32bitバッファ63に格納されているデータを順次バス59に転送させる。図11(c)に示すように転送レートが128bitである場合、データ転送は、バス57とバス58とバス59とバス60とを同時に用いることにより実行される。そのためゲート67は、サイクルc11において128bitデータのビット[63:32]を出力するため接続線Cを選択出力する。

【0069】ゲート68は、接続線Dに転送されているデータを選択的にバス60に出力することにより、32bitバッファ64に格納されているデータを順次バス60に転送させる。転送レートが128bitである場合、データ転送は、バス57とバス58とバス59とバス60とを同時に用いることにより実行される。そのため図11(c)に示すように、ゲート68は、サイクルc11において128bitデータのビット[31:0]を出力するため接続線Dを選択出力する。

【0070】続いて図9(b)に示したセクタ71、セクタ72、セクタ73、セクタ74のそれぞれについて説明する。図10(b)は、ビット幅と、第1～第4番目のデータが転送してくる接続線との組み合わせにおいてセクタ71～セクタ74がどの接続線を選択出力するかを示す図である。

【0071】転送レートが32bitである場合、データ転送はバス57を用いてのみ行われるため、転送レートが32bitの欄を参照すると、第1、第2、第3、第4番目の32bitデータは、全て接続線Eと記述されていることがわかる。これは、32bitの転送レートの場合、第1～第4番目の32bitデータは、接続線Eを介して32bitバッファ61、32bitバッファ62、32bitバッファ63、32bit

バッファ64に取り込まれることを示している。

【0072】転送レートが64bitである場合、データ転送は、上位32ビットをバス57、下位32ビットをバス58を用いて行われるため、転送レートが64bitの欄を参照すると、第1、第2番目の64bitデータの上位32bitは接続線Eと記述され、第1、第2番目の64bitデータの
10 下位32bitは、接続線Fと記述されていることがわかる。これは、64bitの転送レートの場合、第1番目の64bitデータは、接続線E、接続線Fを介して32bitバッファ61、32bitバッファ62に取り込まれ、第2番目の64bitデータは、接続線E、接続線Fを介して32bitバッファ63、32bitバッファ64に取り込まれることを示している。

【0073】転送レートが128bitである場合、データ転送は、バス57、58、59、60を同時に用いて行われるため、転送レートが128bitの欄を参照すると、128bitデータのビット[127:96]は接続線Eと記述され、128bitデータの[95:64]は接続線F、128bitデータのビット[63:32]は接続線G、128bitデータのビット[31:0]は接続線Hと記述されていることがわかる。これは、128bitの転送レートの場合、128bitデータは、接続線E、接続線F、
20 接続線G、接続線Hを介してそれぞれ32bitバッファ61～32bitバッファ64に取り込まれることを示している。

【0074】セクタ71は、バス57～バス60により転送されてくる128bitのデータのうち、バス57上で転送されてくる第1番目のものを32bitバッファ61に取り込む。図12(a)は、バス57上に第1番目の32bitデータ、第2番目の32bitデータ、第3番目の32bitデータ、第4番目の32bitデータが転送されてくる場合を示すタイミングチャートである。本図においてセクタ71は、第1番目の32bitデータのみを32bitバッファ61に取り込んでいることがわかる。図12(b)は、バス57上に第1番目の64bitデータの上位32bit、第2番目の64bitデータの上位32bitが転送されており、バス58上に第1番目の64bitデータの
30 下位32bit、第2番目の64bitデータの下位32bitが転送されてくる場合を示すタイミングチャートである。本図においてもセクタ71は、バス57により転送される第1番目の64bitデータの上位32bitデータのみを32bitバッファ61に取り込んでいることがわかる。図12(c)は、バス57上に128bitデータのビット[127:96]が転送されており、バス58上に128bitデータのビット[95:64]、バス59上に128bitデータのビット[63:32]、バス60上に128bitデータのビット[31:0]が転送されてくる場合を示すタイミングチャートである。本図においてもセクタ71は、32bitバス57により転送される128bitデータの[127:96]のみを32bitバッファ61に取り込んでいることがわ
40 かる。

【0075】2入力-1出力セクタ72は、バス57～バス60により転送されてくる128bitのデータのうち、
50

ビット[95:64]を32bitバッファ62に取り込むよう、接続線E、接続線Fを選択し、バッファ62へと出力する。図12(a)では、2番目の32bitを接続線Eを介して32bitバッファ62へ、図12(b)では、1番目の64bitデータの
下位32bitを接続線Fを介して32bitバッファ62へ、図12(c)では、128bitデータの[95:64]を接続線Fを介して32bitバッファ62に取り込む。

【0076】セクタ73は、バス57～バス60により転送されてくる128bitのデータのうち、ビット[63:32]に相当するデータを32bitバッファ63に取り込むよう、接続線E、Gを選択し、32bitバッファ63に出力する。図12(c)においてセクタ73は、バス59に
転送されている128bitデータのビット[63:32]を接続線Gを介して32bitバッファ63に取り込んでいることがわ
かる。

【0077】セクタ74は、バス57～バス60により転送されてくる128bitのデータのうち、ビット[31:0]に相当するデータを32bitバッファ64に取り込むよう、接続線E、接続線F、接続線Hを選択し、32bitバッファ64に出力する。図12(c)では、セクタ74は、バス60に転送されている128bitデータのビット[31:0]を接続線Hを介して32bitバッファ64に取り込
んでいることがわかる。

【0078】尚、本応用例において、32bitバッファ61、32bitバッファ62、32bitバッファ63、32bitバッファ64のビット幅は全て32bitであるので、転送レート（ビット幅）は32bitデータの整数倍単位で変更可能であったが、これらのバッファが全て8bitであれば、転送レート（ビット幅）が8bitの整数倍単位で変更可能となり、これらのバッファが全て16bitであれば、転送レート（ビット幅）は16bitの整数倍単位で変更可能となる。このように、バッファ61～64のビット幅は、各マスタデバイスについての転送レートをどのように設定するかに応じて、設定すればよい。

【0079】（第2実施形態）第1実施形態では、マスタデバイス4～マスタデバイス6のそれぞれにバス10～バス12のそれぞれを1対1の割合で設けていたが、第2実施形態では、バス10に複数のマスタデバイスを設けた実施形態である。図13は、複数マスタデバイスがバス10に設けられたデータ処理装置を示す図である。本図においてバス10にはマスタデバイス4の他にマスタデバイス24が設けられている。

【0080】マスタデバイス24は、マスタデバイス4と同一のバンド幅でDMA転送を要求するアプリケーションプログラムが動作しており、外部メモリデバイス2をアクセスする際、ローカルコントローラ17にDMA転送要求を出力する。アービター25は、マスタデバイス4、マスタデバイス24がDMA転送要求を出力すると、これらのDMA転送要求についての調停を行い、マスタデバイス4、マスタデバイス24の何れか一方にマスタデ
50

バスにアクノリッジ信号を通過することによりバス10のアクセス権を付与する。アクセス権を得たマスタデバイス4、マスタデバイス24は、第1実施形態と同様に外部メモリデバイス2に対してのDMA転送を行う。一方、アクセス権を獲得することができなかったものに対しては、アクノリッジ信号をインアクティブに設定するか、あるいは、ホールド信号を出力する。これによってバスへの転送を遅延する。また、マスタデバイス4とマスタデバイス24とのバス10のアクセス権を全バス制御用のアービター25により決定する代わりに、個々のバス（ここではバス10）制御専用のアービターを設け、そのアービターにより上記アクセス権制御を行う機構でも、同様の効果が得られ、且つアービターの機構を簡単なものにすることができる。

【0081】以上のように本実施形態によれば、オーディオデータ、副映像、OSD等、サブシステムという系統に分類されるメディア処理を行う複数のマスタデバイスについては、それら複数のマスタデバイスを1つのバス10とローカルバッファ13とに対応づけるので、サブシステムに属するメディア処理が多数存在する場合でもシステムを簡易化することができる。

【0082】（第3実施形態）第3実施形態は、データ処理装置と、外部メモリデバイス2との非同期制御を実現する実施形態である。ここでデータ処理装置と、外部メモリデバイス2との非同期制御が求められるのは、以下の理由による。即ち、マスタデバイス4～マスタデバイス6がメディア処理を行う場合、データ処理装置はディスプレイ装置との同期制御を実現する必要があるので、データ処理装置内のマスタデバイス4～マスタデバイス6、メモリコントローラ3、ローカルコントローラ17～ローカルコントローラ19はディスプレイ装置の表示期間に基づいた動作周波数で、動作せねばならない。これに対して外部メモリデバイス2は、そのハードウェア仕様において最適な動作周波数が決められているので、その動作周波数で動作せねばならない。このようにデータ処理装置と、外部メモリデバイス2とはその動作に最適な動作周波数が異なるので、非同期制御が必要なのである。

【0083】非同期制御が可能なデータ処理装置の構成を図14に示す。図14において新規なのはデュアルポートメモリ26が設けられている点である。デュアルポートメモリ26は、一方のポートが外部メモリデバイス2と接続してあり、他方のポートがローカルバッファ13～ローカルバッファ15に接続しており、外部メモリデバイス2から読み出されたデータ、及び、ローカルバッファ13～ローカルバッファ15から出力されたデータを格納している。

【0084】第3実施形態においてマスタデバイス4～マスタデバイス6は、二段階の読出要求を経て、外部メモリデバイス2のデータを得る。第1段階目は、外部メ

モリデバイス2からデュアルポートメモリ26への読み出しである。この際、マスタデバイス4～マスタデバイス6は読出要求をローカルコントローラ17～19を介してメモリコントローラ3に出力し、外部メモリデバイス2からデュアルポートメモリ26へのデータ読み出しをメモリコントローラ3に行わせる。第2段階目は、デュアルポートメモリ26からローカルバッファ13～ローカルバッファ15を介したDMAマスタ4～6への読み出しである。デュアルポートメモリ26に必要なデータが読み出された段階でローカルコントローラ17～19に対してメモリコントローラ3から読出アクノリッジ信号が出力されるので、ローカルコントローラ17～19はこのアクノリッジ信号を受け取った際に、第1実施形態と同様に、デュアルポートメモリ26からローカルバッファ13～ローカルバッファ15を介してマスタデバイス4～マスタデバイス6へとデータ転送を行う。

【0085】一方マスタデバイス4～マスタデバイス6は、二段階の書込要求を経て、外部メモリデバイス2にデータを書き込む。第1段階目の書込要求は、第1実施形態と同様の書き込みであり、マスタデバイス4～マスタデバイス6は、対応するバスのローカルコントローラの制御の元、書き込むべきデータをローカルバッファ13～ローカルバッファ15を介してデュアルポートメモリ26に書き込む。第2段階目は、デュアルポートメモリ26から外部メモリデバイス2への書込要求であり、メモリコントローラ3に対してローカルコントローラ17～19が書き込みを要求する。

【0086】第3実施形態においてメモリコントローラ3は、マスタデバイス4～マスタデバイス6から外部メモリデバイス2からのデータ読出が要求されると、デュアルポートメモリ26の読み書きポートの取得リクエストを発行し、取得できた段階で外部メモリデバイス2に対して読みだしコマンドを発行する。これにより、外部メモリデバイス2からデュアルポートメモリ26へとデータを読み出させる。メモリコントローラ3はデータ読みだしが完了するのを待ち、デュアルポートメモリ26に必要なデータが読み出された段階でローカルコントローラ17～19に対して読みだしアクノリッジ信号を返す。またメモリコントローラ3は、マスタデバイス4～マスタデバイス6からデータ書込が要求され、外部メモリデバイス2に書き込むべきデータがデュアルポートメモリ26に蓄積すると、データが蓄積した段階で外部メモリデバイス2に対して書込コマンドを発行する。これにより、デュアルポートメモリ26から外部メモリデバイス2へのデータ書き込みが行われる。

【0087】第3実施形態においてローカルコントローラ17～19は、読出要求がなされた後、外部メモリデバイス2から読み出されたデータがデュアルポートメモリ26に蓄積された段階で、デュアルポートメモリ26に蓄積されたデータをローカルバッファ13～ローカル

バッファ15に出力する。書込要求がなされると書き込むべきデータがローカルバッファ13～ローカルバッファ15にたまった段階でデュアルポートメモリ26の読み書きポートの取得要求を発行し、読み書きポートが取得できた段階でローカルバッファ13～ローカルバッファ15からデュアルポートメモリ26へのデータ書き込みを行なう。

【0088】以上のように本実施形態によれば、デュアルポートメモリの一方側のポートをメモリデバイスと接続し、他方側のポートを前記複数のバッファに接続することによりメモリデバイスと内部メモリ間のデータ転送における非同期制御を実現することができ、外部メモリデバイス2とデータ処理装置とをそれぞれ固有の動作周波数で動作させることができる。これにより、外部メモリデバイス2を、動作周波数が異なるメモリデバイスに変更したとしても、外部メモリデバイス2と装置内部との間のデータ転送は、変更前と同様に行えばよい。

【0089】また、内部メモリ(オンチップメモリ)が増設された場合であっても、外部のメモリデバイスと、増設された内部メモリとのデータ転送は、外部のメモリデバイスと、既存の内部メモリとのデータ転送と同様に実現すればよい。外部メモリデバイス2の変更のみならず、内部メモリの増設も容易に行えるので、メモリアーキテクチャを設計する上での自由度が高まるという効果がある。

【0090】(第4実施形態) 第4実施形態は、デュアルポートメモリ100を介して、マスタデバイスと外部メモリデバイス2との間のデータ転送をエン트리コントローラ113に統合管理させる場合の改良に関する。図15は、第4実施形態に係るデータ処理装置の構成を示す図である。本図に示すように、データ処理装置は、デュアルポートメモリ100(データユニット101、タグユニット102)、マスタデバイス103、マスタデバイス104、マスタデバイス105、ローカルバッファ106、ローカルバッファ107、ローカルバッファ108、ローカルコントローラ109、ローカルコントローラ110、ローカルコントローラ111、アービター112、エン트리コントローラ113、リードリクエストキュー114、ライトリクエストキュー115、メモリコントローラ116、リードウェイトキュー117、リードアクノウレッジキュー118、リードアクノウレッジキュー119、リードアクノウレッジキュー120、アドレス選択回路121、アドレス選択回路122からなる。

【0091】デュアルポートメモリ100は、データユニット101と、タグユニット102とからなる。データユニット101は、2つのバンク領域101a,bからなり、各バンク領域101a,bは、16バイトのエン트리領域を512個配置してなる。このエン트리領域の中には、外部メモリデバイス2-マスタデバイス103、1

04、105間の入出力バッファに割り当てられているもの(FIFO領域といい、デュアルポートメモリ100において計24個存在する)と、マスタデバイスがワークエリアとして用いることができるものとがある。各エン트리領域には、エントリアドレスEntr_Addrが付与されており、各エン트리領域は、このエントリアドレスEntr_Addrを用いることによりアクセスされる(2つのバンク領域に存在するエン트리領域は、共通のエントリアドレスEntr_Addrを用いてアクセスされる。)。また、24個のFIFO領域のうち8個のFIFO領域は、外部メモリデバイス2からの読み出し用、16個のFIFO領域は、外部メモリデバイス2への書き込み用に割り当てられている。各エン트리領域は、1Byteのメモリセルを16個含んでおり、計16バイトのデータを格納することができる。

【0092】タグユニット102も、512個のエントリーからなり、各エントリーは、データユニット101の各エントリー領域と1対1に対応づけられている。タグユニット102の各エントリーには、外部メモリデバイス2における外部アドレスExt_Addr(読出先アドレス、又は、書込先アドレス)と、その外部アドレスExt_Addrに対するアクセスを要求したマスタデバイス103についての識別情報が格納されている。タグユニット102の各エントリーには、1対1に対応するデータユニット101のエントリー領域と同一のエントリアドレスEntr_Addrが付与されており、外部メモリデバイス2とデュアルポートメモリ100との間のデータ転送を行う際のデュアルポートメモリ100のアクセス先の指定は、このエントリアドレスEntr_Addrを用いることにより行われる。

【0093】マスタデバイス103、104、105は、アクセスコマンドを発行する。このアクセスコマンドは、外部メモリデバイス2からマスタデバイス103、104、105へのデータ読み出し、又は、マスタデバイス103、104、105から外部メモリデバイス2へのデータ書き込みを要求するものであり、これらのデータ読み出し、又は、データ書き込みは、デュアルポートメモリ100におけるFIFO領域と外部メモリデバイス2との間のデータ転送と、デュアルポートメモリ100におけるFIFO領域とマスタデバイス103、104、105との間のデータ転送とにより実現される。これらのデータ読み出し、又は、データ書き込みは、何れも、デュアルポートメモリ100におけるFIFO領域を中継点にしているので、マスタデバイス103、104、105は、デュアルポートメモリ100内に空きのFIFO領域が存在することが明らかな場合のみ、アクセスコマンドの発行を行う。デュアルポートメモリ100における空きのFIFO領域の有無については、エン트리コントローラ113により発せられる使用状況情報に示されているので、マスタデバイス103、104、105は、エ

ントリーコントローラ113により発せられる使用状況情報を監視し、デュアルポートメモリ100内に空きのFIFO領域が存在する場合のみ、アクセスコマンドの発行を行う。この使用状況情報に空きのFIFO領域が存在しない旨が示されている場合、マスタデバイス103、104、105は空きのFIFO領域が現れるのを待ち、空きのFIFO領域がデュアルポートメモリ100に現れてからアクセスコマンドを発行する。

【0094】ローカルバッファ106、107、108は、各マスタデバイスに対応づけられたバッファであり、外部メモリデバイス2から読み出されたデータrdataの入出力と、外部メモリデバイス2に書き込むべきデータwdataの入出力とに用いられる。このバッファを用いることにより、デュアルポートメモリ100へのバス幅16バイトとマスタデバイス103、104、105のバス幅との違いを吸収できる。またこのバッファをダブルバッファとし、マスタデバイス103、104、105とのアクセスとデュアルポートメモリ100とのアクセスを並列処理可能とすることにより、データ転送の高速化を図ることができる。それゆえ、たとえ、一部のマスタデバイスが、高い転送レートでのデータ転送を要求したとしても、そのような転送速度を満たすようなデータ入出力を行うことができる。

【0095】ローカルコントローラ109、110、111は、マスタデバイス103、104、105のそれぞれに対応づけられており、マスタデバイス103、104、105についてのローカルバッファ106、107、108と、デュアルポートメモリ100におけるFIFO領域との間において、外部メモリデバイス2に書き込むべきデータwdata、又は、外部メモリデバイス2から読み出されたデータrdataについてのデータ転送を行う。

【0096】外部メモリデバイス2へのデータ書き込みを行う場合についての詳細は以下の通りである。即ち、マスタデバイス103、104、105により監視されている使用状況情報には、デュアルポートメモリ100における空きのFIFO領域についてのエントリーアドレスEntr_Addrが示されているので、ローカルコントローラ109、110、111は、この使用状況情報を参照して、空きのFIFO領域の所在を特定することにより、外部メモリデバイス2に書き込むべきデータwdataを、一旦FIFO領域に蓄積させる。

【0097】外部メモリデバイス2からのデータ読み出しを行う場合についての詳細は以下の通りである。即ち、外部メモリデバイス2からデュアルポートメモリ100へと転送されたデータを、ローカルバッファ106、107、108まで読み出すには、デュアルポートメモリ100のうち、どのFIFO領域に当該データが読み出されたかをローカルコントローラ109、110、111は知得せねばならない。そのようなアドレス、即

ち、読出先アドレスは、メモリコントローラ116から発せられる読出完了通知に含まれており、その読出完了通知は、メモリコントローラ116により発行され、リードウェイトキュー117を介してリードアクノウレჯキュー118、119、120に格納される。ローカルコントローラ109、110、111は、この読出完了通知からエントリーアドレスEntr_Addrを取り出すことにより、外部メモリデバイス2から読み出されたデータrdataがデュアルポートメモリ100においてどこに格納されているかを知ることができる。そうして、外部メモリデバイス2から読み出されたデータrdataの所在を知れば、マスタデバイス103、104、105のそれぞれに対応するローカルバッファ106、107、108と、読出完了通知に含まれるエントリーアドレスEntr_Addrに対応するFIFO領域との間において、外部メモリデバイス2から読み出されたデータrdataのデータ転送を行うことにより、マスタデバイス103、104、105にデータを引き渡すことができる。

【0098】アービター112は、マスタデバイス103、104、105間において、デュアルポートメモリ100についての利用調停を行う。アービター112がかかる調停を行うのは以下の理由による。即ち、外部メモリデバイス2からマスタデバイスへのデータ読み出し、及び、マスタデバイスから外部メモリデバイス2へのデータ書き込みは、何れもデュアルポートメモリ100を中継点にして行われることは上述した通りである。そうすると、デュアルポートメモリ100と、ローカルバッファ106、107、108との間は、最もデータ転送が集中することとなる。そこで本実施形態では、各マスタデバイスがデュアルポートメモリ100を利用するにあたって、何れのマスタデバイスにデュアルポートメモリ100の利用を許可させるかの決定権をアービター112に与えており、複数のマスタデバイスからアクセスコマンドが発せられた場合、アービター112は、それら複数のマスタデバイスのうち何れかのマスタデバイス103、104、105に対して、デュアルポートメモリ100を介したデータ転送を許可し、その他のマスタデバイス103、104、105に対して、デュアルポートメモリ100を介したデータ転送を許可しない。これにより、1つのデュアルポートメモリ100を介したデータ転送が効率良く行われることとなる。

【0099】エントリーコントローラ113は、FIFO領域のうち、データ格納に既に使用されているもの（使用中であるもの）、データ格納に使用されていないもの（未使用であるもの）を個別に示すビット列（カレントステートビット列）を有しており、カレントステートビット列における全てのビットがオン"1"に設定されている場合、空きのFIFO領域が存在しない旨の使用状況情報を各マスタデバイスに通知する。それと共に、ビット列において何れかのビットがオフ"0"に設定されている場合、

そのビットに対応するエントリーアドレスEntr_Addrを使用状況情報として各マスタデバイスに通知する。図16は、カレントステートビット列の一例を示す図である。本図において、カレントステートビット列は32bitデータのビット列であり、本カレントステートビット列における0~5ビット目は、エントリーアドレスEntr_Addr00~エントリーアドレスEntr_Addr05に対応しており、6~31ビット目は、エントリーアドレスEntr_Addr06~エントリーアドレスEntr_Addr31に対応している。このエントリーアドレスEntr_Addr00~エントリーアドレスEntr_Addr05に対応する0~5ビット目が、図16においては全てオン"1"に設定されているので、エントリーアドレスEntr_Addr00~エントリーアドレスEntr_Addr05のFIFO領域が使用中である。このエントリーアドレスEntr_Addr06~エントリーアドレスEntr_Addr31に対応する6~31ビット目が、図16においては全てオフ"0"に設定されているので、エントリーアドレスEntr_Addr06~エントリーアドレスEntr_Addr31のFIFO領域が未使用である。このように図16の一例では、エントリーアドレスEntr_Addr06~エントリーアドレスEntr_Addr31のエントリー領域が未使用であることが示されているので、エントリーコントローラ113はカレントステートビット列に示される空きのエントリーアドレスのうち、最先のもの（本図の一例においては、エントリーアドレスEntr_Addr06）を使用状況情報として各マスタデバイスに通知する。

【0100】未使用のFIFO領域をマスタデバイス103に割り当てる処理の詳細は以下の通りである。出力された使用状況情報をマスタデバイス103が参照して、マスタデバイス103がアクセスコマンドの発行を行ったものとする。そうしてアクセスコマンドの発行を行ったマスタデバイス103に対して、デュアルポートメモリ100を介したデータ転送がアービター112により許可されれば、エントリーコントローラ113は、エントリーアドレスEntr_Addrを転送先、又は、転送元としたデータ転送を行わせるよう、このエントリーアドレスEntr_Addrを含むリクエストデータ（読出リクエスト、書込リクエストの種別がある）をリードリクエストキュー114、ライトリクエストキュー115に格納する。ここで、本実施形態におけるリクエストデータが、どのような様式であり、これを用いたデータ転送がどのように行われるかについて説明する。本実施形態におけるリクエストデータ（読出リクエスト、書込リクエストがある）がアクセスコマンドと異なるのは、デュアルポートメモリ100におけるエントリーアドレスEntr_Addrを含んでいる点である。上述したように、このエントリーアドレスEntr_Addrにて指示されるタグ領域には、外部メモリデバイス2においてアクセス先となる外部アドレスExt_Addrが格納されているので、メモリコントローラ116は、リクエストデータに含まれるエントリーアド

レスEntr_Addrと、そのエントリーアドレスが示すタグ領域に格納されている外部アドレスとの間で、データ転送を行うことにより、外部メモリデバイス2からデュアルポートメモリ100へのデータ読み出し、又は、デュアルポートメモリ100から外部メモリデバイス2へのデータ書き込みを実現する。

【0101】リクエストデータは、エントリーコントローラ113にて作成され、発行されるが、それらは、発行された順に従って、読出リクエスト、書込リクエストに分別されてリードリクエストキュー114、ライトリクエストキュー115に複数蓄積される。リクエストデータをメモリコントローラ116に発行すれば、エントリーコントローラ113はカレントステートビット列において、通知されたエントリー領域に割り当てられたビットを使用中に設定する。一方、通知されているエントリーアドレスEntr_Addrにより特定されるタグ領域に、マスタデバイス103から発行された外部アドレスExt_Addrを格納させる。以上の処理により、マスタデバイス103に割り当てられたFIFO領域が、デュアルポートメモリ100から読み出されたデータrdataの格納用、外部メモリデバイス2に書き込むべきデータwdataの格納用に割り当てられることとなる。

【0102】FIFO領域を未使用に開放する処理の詳細は以下の通りである。例えば読出リクエストの発行後、外部メモリデバイス2からFIFO領域へとデータが読み出されれば、エントリーコントローラ113は、FIFO領域におけるデータがデュアルポートメモリ100からマスタデバイスへと転送されるのを待つ。かかる転送が行われれば、そのFIFO領域に、当該データを格納しておく必要はないので、エントリーコントローラ113は、カレントステートビット列においてそのFIFO領域に対応するビットを使用中から未使用に変更する。

【0103】書込リクエストの発行後、マスタデバイス103からFIFO領域にデータが書き込まれれば、エントリーコントローラ113は、FIFO領域におけるデータがデュアルポートメモリ100から外部メモリデバイス2へと転送されるのを待ち、かかる転送が行われれば、エントリーコントローラ113は、カレントステートビット列においてそのFIFO領域に対応するビットを使用中から未使用に変更する。

【0104】以上のようにカレントステートビット列における各ビットを更新することにより、各FIFO領域の使用状況が、リアルタイムにカレントステートビットに反映されることとなる。尚、上述したように、複数のFIFO領域は、読み出し用、書き込み用にそれぞれに割り当てられているので、マスタデバイス103に空領域を割り当てるにあたって、エントリーコントローラ113は、アクセスコマンドが外部メモリデバイス2からの読み出しを要求するものか、外部メモリデバイス2への書き込みを要求するものかを考慮した、FIFO領域の割り当てを行

う。

【0105】外部メモリデバイス2からのデータ読み出しを要求する旨のアクセスコマンドをマスタデバイスが発行した場合、エン트리コントローラ113は、データ読出用に割り当てられたFIFO領域から、当該データ転送において入出力に用いるべきFIFO領域を選んで、そのエントリーアドレスEntr_Addrをマスタデバイスに出力する。また、外部メモリデバイス2へのデータ書き込みを要求する旨のアクセスコマンドをマスタデバイスが発行した場合、データ書込用に割り当てられたFIFO領域から、当該データ転送において入出力に用いるべきFIFO領域を選んで、そのエントリーアドレスEntr_Addrをマスタデバイスに出力する。

【0106】このように、FIFO領域を、外部メモリデバイス2からのデータ読み出し用、外部メモリデバイス2へのデータ書き込み用に分けることにより、外部メモリデバイス2からのデータ読み出し及び外部メモリデバイス2へのデータ書き込みのうち、何れか一方が集中した場合においても、他方の処理が遅延することを防止することができる。

【0107】メモリコントローラ116は、リードリクエストキュー114、ライトリクエストキュー115に蓄積された複数のリクエストデータを1つずつ取り出して、デュアルポートメモリ100-外部メモリデバイス2間のデータ転送を行う。外部メモリデバイス2-デュアルポートメモリ100間のデータ転送が外部メモリデバイス2からのデータ読み出しである場合、メモリコントローラ116は、リクエストデータをリードウェイトキュー117に格納する。そして、メモリコントローラ116は、外部メモリデバイス2からリードデータが出力されるのを待ち、リードデータが出力され、それをデュアルポートメモリ100のデータユニット101に格納すると、リードウェイトキュー117に格納されているリクエストデータをリードアクノウレッジキュー118、119、120に出力する。

【0108】リードアクノウレッジキュー118、119、120は、リードウェイトキュー117から出力されるリクエストデータのうち、各マスタデバイスに対応するものを、各マスタデバイス毎に格納する。各マスタデバイス毎のリクエストデータが各リードアクノウレ

10

20

30

40

50

6、107、108間のデータ転送を行えば、デュアルポートメモリ100に格納されているデータが順次各マスタデバイスに引き渡されることとなる。

【0109】アドレス選択回路121は、アクセスコマンドにおいてアクセス先としてマスタデバイス103、104、105から発行される外部アドレスExt_Addrを選択的に出力する。アービター112により要求が許可されたマスタデバイス103が、外部メモリデバイス2-デュアルポートメモリ100間のデータ転送を要求している場合、アドレス選択回路121は、当該マスタデバイス103により出力される外部アドレスExt_Addrをタグ領域に格納させるよう、マスタデバイス103により出力された外部アドレスExt_Addrをタグ領域に出力する。アービター112により要求が許可されたマスタデバイス103が、マスタデバイス103-デュアルポートメモリ100間のデータ転送を要求している場合、データユニット101-マスタデバイス間のデータ転送を行わせるべく、マスタデバイスから出力されたエントリーアドレスEntr_Addrをデータユニット101に出力する。

【0110】アドレス選択回路122は、デュアルポートメモリ100-外部メモリデバイス2間のデータ転送を行う場合は、エン트리コントローラ113から出力されるエントリーアドレスEntr_Addrをデータユニット101、タグユニット102に出力する。一方、デュアルポートメモリ100-マスタデバイス103、104、105間のデータ転送を行う場合は、アドレス選択回路121を介してマスタデバイス103、104、105から出力されるエントリーアドレスEntr_Addrをデュアルポートメモリ100のデータユニット101に出力する。

【0111】以上のように本実施形態によれば、デュアルポートメモリ100を介して、マスタデバイス103-外部メモリデバイス2間のデータ転送を行うことができる。

(第5実施形態) 第5実施形態では、外部メモリデバイス2とマスタデバイス103~105との間の入出力に用いられていたデュアルポートメモリ100を、マスタデバイス103、104、105のワークエリアとして利用させる場合の改良に関する。図17は、第5実施形態に係るデータ処理装置を示す図である。

【0112】デュアルポートメモリ100をワークエリアとして利用するため、第5実施形態に係るマスタデバイス103、104、105は、ワークエリアとして用いられるエントリー領域テーブル123、124、125保持している。具体的には、本テーブルは、ワークエリアについてのエントリーアドレスEntr_Addrと、そのワークエリアが割り当てられたマスタデバイスの識別情報Idとを対応づけている。

【0113】また第4実施形態におけるアクセスコマン

ドは、外部メモリデバイス2からのデータ読み出し、又は、外部メモリデバイス2へのデータ書き込みを要求するものであったが、第5実施形態におけるアクセスコマンドは、デュアルポートメモリ100からマスタデバイス103へのデータ読み出し、又は、マスタデバイス103からデュアルポートメモリ100へのデータ書き込みを要求するコマンド、即ち、デュアルポートメモリ100に対するデータ読み出し、又は、データ書き込みを要求するコマンドであり、第5実施形態に係るマスタデバイス103は、こうしたデュアルポートメモリ100に対するアクセスコマンドをアービター112に対して発行する。そのため、図17では、各マスタデバイスからは、エントリーアドレスEntr_Addrが発行されるものとして記載されている。

【0114】第5実施形態に係るアービター112は、マスタデバイス103、104、105によりデュアルポートメモリ100に対してのアクセスを要求するアクセスコマンドが発行されれば、第4実施形態同様、デュアルポートメモリ100に対するデータ転送を、当該マスタデバイス103に対して許可するか、否かを判定する。

【0115】第5実施形態に係るローカルコントローラ109、110、111は、マスタデバイス103～105によりデュアルポートメモリ100に対するアクセスコマンドが発行され、デュアルポートメモリ100に対するデータ転送が、アービター112により許可されれば、当該アクセスコマンドにより指示されたエントリー領域と、マスタデバイス103～105との間のデータ転送を行う。これにより、マスタデバイス103～105からエントリー領域へのデータ書き込み、又は、エントリー領域からマスタデバイス103～105へのデータ読み出しが実現される。

【0116】例えば、あるマスタデバイス103が自装置に割り当てられたエントリー領域xに対して所定のデータを書き込む旨のアクセスコマンドを発行し、別のマスタデバイス104が、そのエントリー領域xに書き込まれたデータを読み出す旨のアクセスコマンドを発行したとする。このように2つのマスタデバイス103、104が、エントリー領域xに対するデータ書き込み、データ読み出しを行えば、マスタデバイス103、104は、エントリー領域xを介して、データを受け渡しを行うことができる。

【0117】以上のように本実施形態によれば、マスタデバイスとデュアルポートメモリ100との間のデータ読み出し、データ書き込みを行うことにより、マスタデバイス103、104間のデータの受け渡しが可能となり、マスタデバイス同士の連携作業が推進される。

(第6実施形態) 外部メモリデバイス2-デュアルポートメモリ100間のDMA転送を、各マスタデバイスが自由に実行することができるようにした改良に関する。第

6実施形態に係るデータ処理装置の構成を図18に示す。

【0118】図18において、データ処理装置には、DMAコントローラ126が備えられており、第6実施形態において、マスタデバイス103、104、105は、外部メモリデバイス2-デュアルポートメモリ100間のDMA転送を行う旨のDMAコマンドをDMAコントローラに出力し、DMAコマンドと共にDMAアドレスをDMAコントローラ126に発行する。ここでDMAアドレスは、転送元及び転送先となるエントリーアドレスEntr_Addr、外部アドレスExt_Addrを示す。DMAコントローラは、DMA転送を要求するアクセスコマンド(DMAコマンドという)が発行されると、このアクセスコマンドにおいて、転送元及び転送先として指定されているエントリーアドレスEntr_Addr、外部アドレスExt_Addrを保持すると共に、他のアクセスコマンドの場合と同様、このDMAコマンドにおけるデータ転送の許可をアービター112に求める。デュアルポートメモリ100に対してのアクセスがアービター112に許可されれば、アクセスコマンドにて指定されたエントリーアドレスEntr_Addrに対応するタグ領域に、アクセスコマンドにて指定された外部アドレスExt_Addrを格納させ、かつ当該エントリーアドレスEntr_Addrを転送方向に併せて、リードリクエストキュー114若しくはライトリクエストキュー115に格納することにより、エントリーアドレスEntr_Addrにより指示されたエントリー領域と、外部アドレスExt_Addrにより示される外部領域との間のデータ転送をメモリコントローラ116に行わせる。

【0119】メモリコントローラ116は、第4実施形態と同様、外部メモリデバイス2とデュアルポートメモリ100との間のデータ転送を行う。このようなデータ転送が行われれば、メモリコントローラ116は、要求されたデータ転送が完了した旨の通知DMA_doneを各マスタデバイスに出力して、DMAコマンドが遂行されたことを各マスタデバイスに知らせる。

【0120】以上のように本実施形態によれば、マスタデバイス103～105はマスタデバイス103～105-外部メモリデバイス2間のデータ転送と同様、外部メモリデバイス2-デュアルポートメモリ100間のデータ転送をDMAコントローラに命じることができるので、外部メモリデバイス2から読み出すべきデータを先行的にデュアルポートメモリ100に格納しておくことができ、マスタデバイスの外部メモリからのデータ読み出しを高速に行うことができる。

【0121】(第7実施形態) 第7実施形態は、あるマスタデバイスに対するデュアルポートメモリ100の利用許可を、調整させることができるアービター112を提供する改良に関する。第7実施形態に係るアービター112の構成を図19に示す。図19に示すように、アービター112は、リングレジスタ131、シフト制

10

20

30

40

50

御部132、調停部133、格納制御部134からなる。

【0122】リングレジスタ131は、リング状に接続されている n 個のレジスタからなり、各レジスタには、各マスタデバイスについての識別情報が格納されている。シフト制御部132は、 n サイクルにおいて、 n 個のレジスタに格納されている n 個の識別情報のそれぞれをカレント情報として特定するよう、 n 個のレジスタのそれぞれに格納されている識別情報を巡回シフトさせる。

【0123】調停部133は、 n サイクルのうち、マスタデバイス x についての識別情報がカレント情報として特定されているサイクルにおいて、当該マスタデバイス x によりアクセスコマンドが発行された場合、当該マスタデバイス x に対して、デュアルポートメモリ100内のエンタリー領域を介したデータ転送を許可する。一方調停部133は、マスタデバイス x についての識別情報がカレント情報であり、マスタデバイス x がカレントとして特定されているサイクルにおいて、当該マスタデバイス x がアクセスコマンドを発行していない場合は、マスタデバイス x より優先順位が低いマスタデバイスのうち、優先順位が最も高いものであって、アクセスコマンドを発行したものに對して、データ転送を許可する。

【0124】更にマスタデバイス x がアクセスコマンドを発行せず、マスタデバイス x より優先順位が低いマスタデバイスもアクセスコマンドを発行していない場合、マスタデバイス x より優先順位が高いマスタデバイスのうち、優先順位が最も高いものであって、アクセスコマンドを発行したものに對して、データ転送を許可する。例えば、カレントが優先順位=3のマスタデバイス x である場合、優先順位=3のマスタデバイス x がアクセスコマンドを発すれば、このマスタデバイス x に対するデュアルポートメモリ100を介したデータ転送を許可する。一方、このマスタデバイス x がアクセスコマンドを発行していないが、優先順位=4,5,6,7というように、優先順位=3より優先順位が低いマスタデバイスがアクセスコマンドを発している場合、これらのマスタデバイスのうち、最も優先順位が高いマスタデバイス(この場合なら、優先順位=4のマスタデバイスとなる)に對して、デュアルポートメモリ100を介したデータ転送を許可する。更に、当該マスタデバイス x 及びマスタデバイス x より優先順位が低いマスタデバイスはアクセスコマンドを発行していないが、優先順位=1,2というように、優先順位=3より優先順位が高いマスタデバイスがアクセスコマンドを発行している場合、これらのマスタデバイスのうち、優先順位が最も高いマスタデバイス(この場合なら、優先順位=1のマスタデバイスとなる)にデュアルポートメモリ100を介したデータ転送を許可する。

【0125】格納制御部134は、複数マスタデバイスのうち、特定のマスタデバイス(マスタデバイス x とする)についてのデータ転送を、 n 回につき m 回(m は、 $n>m$

を満たす整数)の割合で許可させたい場合、図20に示すように、前記 n 個のレジスタのうち、 m 個のレジスタにマスタデバイス x についての識別情報 x を格納させる。ここで識別情報 x は、 n 個のレジスタのうち、 m 個のものに格納されており、識別情報 x は、 n サイクルのうち、 m サイクルにおいて、カレント情報として特定されるので、マスタデバイス x によるデュアルポートメモリ100のアクセスは、 n サイクルにつき m サイクル($n>m$)の割合で許可される。よって、マスタデバイス x によるメモリアクセス頻度は調整されることとなる。

【0126】以上のように本実施形態によれば、あるマスタデバイスに對して n サイクルにつき m サイクル($n>m$)の割合で許可させるという頻度調整を行うことができるので、アクセス頻度を自由に設定することができる。

尚、本実施形態において、どのマスタデバイスについての識別情報がカレント情報になろうと、特定のマスタデバイスについては、そのマスタデバイスからアクセスコマンドが発行され次第、デュアルポートメモリ100を介したデータ転送を許可しても良い。

【0127】(第8実施形態) 第8実施形態は、データ処理装置を複数のメディア処理を行うメディアコプロセッサとして実施する場合の実施形態である。図21は、第8実施形態における外部メモリデバイス2のメモリ割り当てを示す図である。本図において、外部メモリデバイス2上には、符号化ストリームバッファ領域198、画像フレーム領域199が割り当てられている。

【0128】符号化ストリームバッファ領域198は、外部から入力されてきたMPEGストリームを未復号のまま蓄積しておくための領域である。ここでMPEGストリームとは、複数のエレメンタリーストリームを含むビットストリームである。エレメンタリーストリームには、動画ストリームと、音声ストリームとがある。動画ストリームは、複数のマクロブロック(MB)からなる。動画ストリームは、このマクロブロックを符号化単位として、画像間の時間的相関性に基づいて情報圧縮されている。また復号時にもこのマクロブロックを復号化単位としてフレーム間予測方式の動き補償が行われる。マクロブロックは、横16×縦16の画素データからなる。ここで横16×縦16の画素データは、横8×縦8の輝度データからなる輝度ブロック $Y0, Y1, Y2, Y3$ を有しており、横8×縦8の青色差データからなる青色差ブロック Cb と、横8×縦8の赤色差データからなる赤色差ブロック Cr とを含む。

【0129】画像フレーム領域199は、動画ストリームを復号することにより得られた画素データや静止画像データ、OSDピクセルデータが格納されている。図22は、第9実施形態に係るデータ処理装置に内部構成を示す図である。図22において、マスタデバイスは10個実装されており、各マスタデバイスは、ビデオ復号処理、オーディオ復号処理、ビデオ出力処理、コンピュータ・グラフィックス描画処理等を始めとする様々なメディア

処理を実行する。

【0130】各マスタデバイスがメディア処理を行うにあたって、外部メモリデバイス2は、MPEGストリームの復号処理を始め、各種処理の作業用に用いられる。続いて、メディアコアプロセッサとしての処理を行う場合におけるデータ処理装置の内部構成について説明する。図22に示すようにデータ処理装置は、ストリームユニット201、I/Oバッファ202、Setupプロセッサ203、ビットストリームFIFO204、VLD205、TE206、POUA207、POUB208、POUC209、オーディオユニット210、IOP211、VBM212、ビデオユニット213、HOSTユニット214、RE215、FILTER216からなる。これらの構成要素のうち、マスタデバイスであるものについては、マスタデバイス名(master0,1,2,3,4,...8,9)を付して示している。また本図では、ローカルバッファ106、ローカルコントローラ109、リードアクノウレレッジキュー118等を1つのマスタ周辺回路として表記している。尚、データ処理装置の内部構成のうち、デュアルポートメモリ100とマスタデバイスとの間の接続関係を省略すると、データ処理装置の内部構成は、図23のように表される。本図からも明らかであるように、外部メモリデバイス2及びデュアルポートメモリ100は、マスタデバイスmaster0,1,2,3,4,...8,9によるアクセスが集中することとなる。以降、メディアコアプロセッサとして機能するデータ処理装置の構成要素について説明する。

【0131】ストリームユニット201は、記録媒体や通信媒体からMPEGストリームが取り出されてメディアコアプロセッサに入力されてくると、MPEGストリームを動画ストリーム、音声ストリームに分離してI/Oバッファ202に書き込む。Setupプロセッサ(Setup)203は、マスタデバイス(master7)であり、MPEGストリームに多重化されている音声ストリームを復号して、非圧縮の音声データをマスタ周辺回路及びデュアルポートメモリ100を介して外部メモリデバイス2に書き込む。音声ストリームは、IOP211により順次ビットストリームFIFO204に供給され、Setupプロセッサ203は、このビットストリームFIFO204から音声ストリームを取り出して、音声ストリームの復号を行う。

【0132】可変符号長デコード部(VLD)205は、動画ストリームからマクロブロックMBを取り出して、マクロブロックMBに含まれている4つの輝度ブロックY0,Y1,Y2,Y3と、2つの色差ブロックCb,Crに対して可変符号長デコードを行う。動画ストリームは、IOP211により順次ビットストリームFIFO204に供給され、VLD205は、このビットストリームFIFO204から動画ストリームを取り出して、動画ストリームの復号を行う。

【0133】トランスフォームエンジン部(TE)206は、マスタデバイス(master3)であり、VLD205により可変符号長デコードがなされた4つの輝度ブロックY0,Y

1,Y2,Y3と、2つの色差ブロックCb,Crに対して逆量子化及び逆離散余弦変換を行い、その結果をマスタ周辺回路及びデュアルポートメモリ100を介して外部メモリデバイス2に書き込む。

【0134】ピクセルオペレーションユニットA(POUA)207は、逆量子化及び逆離散余弦変換がなされた4つの輝度ブロックY0,Y1,Y2,Y3と、2つの色差ブロックCb,Crとが外部メモリデバイス2に書き込まれると、これら4つの輝度ブロックY0,Y1,Y2,Y3と、2つの色差ブロックCb,Crとを外部メモリデバイス2から読み出し、併せて、これに対応する参照画像を外部メモリデバイス2における画像フレーム領域199から読み出す。その後、参照画像に対してハーフペル処理を行い、その結果を平均化したものに、逆量子化及び逆離散余弦変換がなされた4つの輝度ブロックY0,Y1,Y2,Y3と、2つの色差ブロックCb,Crとを足し合わせる(以上の処理は動き補償と呼ばれる)。その後、動き補償の結果をマスタ周辺回路及びデュアルポートメモリ100を介して外部メモリデバイス2の画像フレーム領域199に書き込ませる。

【0135】また、POUA207は、オンスクリーンディスプレイ(OSD)の描画処理を行う。OSDとは、操作者の指示に従って動画像上にオーバーレイされる文字フォントやコンピュータグラフィックスであり、現在時刻を表示するためのカウンタや、「再生」「停止」「録画」等、データ処理装置現在行っている処理内容を表示画面上に表示する際に用いられる。POUA207が行うのは、デュアルポートメモリ100とマスタデバイスとの間のデータ転送であり、外部メモリデバイス2とデュアルポートメモリ100との間のデータ転送は、POUC209に委ねている。

【0136】ピクセルオペレーションユニットB(POUB)208は、画像に対するフィルタリング処理を行い、拡大・縮小加工を施すマスタデバイス(master2)であり、デュアルポートメモリ100とマスタデバイスとの間のデータ転送を行う。POUA207同様、外部メモリデバイス2とデュアルポートメモリ100との間のデータ転送は、POUC209に委ねている。

【0137】ピクセルオペレーションユニットC(POUC)209は、第7実施形態に示したDMAコマンドを出力することにより、外部メモリデバイス2とデュアルポートメモリ100との間の入出力を行うマスタデバイス(master0)である。オーディオユニット210は、I/Oバッファ202に格納された音声データを順次再生出力する。

【0138】I/Oプロセッサ(IOP)211は、以下に示す3つの転送処理を行うマスタデバイスである。1つ目の転送処理は、ストリームユニット201から順次入力され、I/Oバッファ202に順次蓄積されるMPEGストリームをマスタ周辺回路及びデュアルポートメモリ100を介して外部メモリデバイス2の符号化ストリームバッファ領域198に書き込むというものである。2つ目の転

送処理は、Setupプロセッサ203及びVLD205による復号処理の進捗に応じて、ビットストリームFIFO204に動画ストリーム、音声ストリームを供給する処理である。即ち、IOP211は、ビットストリームFIFO204に格納されている動画ストリーム及び音声ストリームがSetupプロセッサ203及びVLD205によりどれだけ復号されたかを監視する。所定量だけ復号されれば、その所定量のMPEGストリームを補うよう、外部メモリデバイス2から動画ストリーム及び音声ストリームを読み出して、ビットストリームFIFO204に供給する。これにより、ビットストリームFIFO204のアンダーフローが避けられることになり、Setupプロセッサ203及びVLD205による復号処理は、中断することなく、継続することとなる。

【0139】3つ目の転送処理は、Setupプロセッサ203の復号処理により順次外部メモリデバイス2に書き込まれた非圧縮の音声データをデュアルポートメモリ100及びマスタ周辺回路を介して読み出して、I/Oバッファ202に供給する処理である。このように非圧縮の音声データが順次I/Oバッファ202に供給されれば、それら音声データはオーディオユニット210により順次再生出力されることとなる。

【0140】ビデオユニット(VU)213は、マスタデバイス(master4)であり、外部メモリデバイス2の画像フレーム領域199から2,3ライン分の画素データを読み出して、ビデオバッファメモリ(VBM)212に格納し、VBM212に読み出された2,3ライン分の画素データを映像信号に変換して外部に接続されたテレビ受像器等のディスプレイ装置に出力するという処理を行う。

【0141】ホストユニット(HOST)214は、データ処理装置に接続されたホストマイコンからの指示に応じた制御を、データ処理装置内部で行うためのマスタデバイス(master5)である。レンダリングエンジン(RE)215は、コンピュータ・グラフィックスにおけるレンダリング処理を行うマスタデバイス(master9)であり、データ処理装置に専用LSIが接続された場合に制御を行う。

【0142】フィルタ(FILTER)216は、静止画データの拡大縮小処理を行う。RE同様、データ処理装置に専用LSIが接続された場合に制御を行うマスタデバイス(master6)である。以上で、データ処理装置の構成要素についての説明を終え、続いて、メディアコアプロセッサとしての処理を行うデータ処理装置において、9つのマスタデバイスにおけるデュアルポートメモリ100のアクセスを、どのように調停するかについて説明する。図24は、複数のマスタデバイスに対する優先順位がどのように設定されているかを示す図である。本図によると、マスタデバイスについての優先順位は、順位1:POUA207、順位2:POUB208、順位3:TE206、順位4:VU213、順位5:HOSTユニット、順位6:FILTER216、順位7:Setupプロセッサ203、順位8:IOP211

1、順位9:RE215というように設定されていることがわかる。これらの優先順位は、各マスタデバイスに付与された"1","2","3","4"……といった数値と同一である。アービター112は、これらマスタデバイスに付与された優先順位を参照しながら、第9実施形態に示した手順にて、マスタデバイスの何れかに、デュアルポートメモリ100を介したデータ転送を許可する。

【0143】第7実施形態で説明したように、シフトレジスタのそれぞれに各マスタデバイスの識別情報を何個格納するかにより、各マスタデバイスが許可される回数が調整されるので、各レジスタに各マスタデバイスの識別情報を格納することにより、各マスタデバイスが許可される回数を規定している。図24におけるレジスタ欄は、22個のレジスタのそれぞれに、どのマスタデバイスの識別情報が格納されているかを示している。本図では、22個のレジスタにおいて、11個のレジスタにPOUA207の識別情報"1"が格納され、2個のレジスタにはPOUB208の識別情報"2"が、2個のレジスタにTE206の識別情報"3"が、2個のレジスタにVU213の識別情報"4"をそれぞれ格納されている。このように、11個のレジスタにPOUA207の識別情報"1"が格納されているので、POUA207についてのデータ転送は、22サイクルのうち、最大11回許可されることとなる。POUB208は、22サイクルのうち最大2回、TEは、最大2回、VUは、最大2回許可されることとなる。

【0144】よって、各マスタデバイスは、以下に示す割合で、デュアルポートメモリ100を介したデータ転送が許可されることとなる。

POUA:POUB:TE:VU:FILTER:SETUP:IOP:RE=11:2:2:2:1:1:1:1:1

以上のように本実施形態によれば、メディア処理を行う各マスタデバイスは、マスタ周辺回路を介してデュアルポートメモリ100に接続されているので、これらのマスタデバイスにおける読み書きポートのビット幅を改変するような必要が生じても、そのような改変を容易に行うことができる。

【0145】(第9実施形態)デュアルポートメモリ100に1バイト=9ビットのメモリセルを使用する場合の改良に関する。図25は、第9実施形態におけるエンタリー領域の構成を示す図である。本図に示すように、第9実施形態において、16バイトのエンタリー領域は、18Byte=9bitのメモリセルを16個配置してなる。こうした1バイト=9bitのメモリセルを用いれば、以下に示すような、(1)符号付き8bitデータの受け渡しと、(2)符号無し8bitデータの受け渡しとを高速に行うことができる。

【0146】(1)符号付き8bitデータの受け渡し
1バイト=符号付き8ビットに設定された際、9ビット目は、符号ビットとして用いられる。図26(a)は、1バイト=符号付き8ビットに設定された場合のメモリセ

ルのビット割り当てを示す図である。ここでデータ処理装置に存在する複数のマスタデバイスのうち、一方のマスタデバイスがMPEG復号処理における逆量子化コサイン変換(IDCT)を行うTE206であり、また他方のマスタデバイスがMPEG復号処理における動き補償処理を行うPOUA207であるものとする。IDCTの処理結果は、符号付き8バイトデータとして表現されるので、これら2つのマスタデバイスは、符号付き8bitデータの受け渡しを行わねばならない。ここでデュアルポートメモリ100は、1バイト=9ビットのメモリセルにて構成されているので、IDCTを行う側のTE206が符号付き8バイトデータをデュアルポートメモリ100に書き込み、動き補償を行う側のPOUA207がそのように書き込まれた符号付き8バイトデータをデュアルポートメモリ100から読み出して利用すると、符号付き8バイトデータの引き渡しは、これら2つのマスタデバイス間において、高速に行われることとなる。

【0147】(2)符号無し8bitデータの受け渡し
1バイト=符号無し8ビットに設定された際、9ビット目は、マスクビットとして用いられる。図26(b)は、1バイト=符号無し8ビットに設定された場合のメモリセルのビット割り当てを示す図である。ここで、デュアルポートメモリ100から外部メモリデバイス2へのデータ書き込みを行う場合、エンタリー領域に含まれる32バイトのデータのうち、外部メモリデバイス2に書き込むべき1バイトデータは、その9ビット目に位置するマスクビットをオフ"0"に設定する。一方、外部メモリデバイス2への書き込みを禁止させたい1バイトデータは、その9ビット目に位置するマスクビットをオン"1"に設定する。

【0148】デュアルポートメモリ100から外部メモリデバイス2への書き込み時において、マスクビットがオフ"0"に設定された1バイトデータは外部メモリデバイス2に書き込まれる。一方、マスクビットがオン"1"に設定された1バイトデータは外部メモリデバイス2に書き込まれず、外部メモリデバイス2の元の値が維持されることとなる。図27は、マスクビットの設定時において、外部メモリデバイス2がどのように書き込まれるかを示す図である。本図の下段は、領域(1)~(5)からなるエンタリー領域を示している。このうち、領域(1)(3)(5)を構成する1バイトデータは、マスクビットが1に設定され、領域(2)(4)を構成する1バイトデータは、マスクビットが0に設定されているものとする。そうすると、外部メモリデバイス2のうち、領域(2)(4)に対応する部分は、エンタリー領域の内容により上書きされるが、領域(1)(3)(5)に対応する部分は、エンタリー領域を用いた上書きから除外され、元の値を維持することとなる。

【0149】各1バイトデータを外部メモリデバイス2に書き込むか否かはマスクビットを用いて設定されるの

で、マスクビットは、画像に文字パターンを合成するような用途に応用することができる。ここで外部メモリデバイス2に一画面分の画像データが格納されているものとする。外部メモリデバイス2に格納された画像データを文字パターンと合成させるには、マスタデバイスは、いわゆるRead & Modify & Writeを行わねばならない。即ち、各マスタデバイスは、外部メモリデバイス2に格納された画像データを一旦読み出し(Read)、それを取り込んでから、文字パターンと合成する処理を行い(Modify)、文字パターンを合成した後、外部メモリデバイス2に書き戻す(Write)という処理を行わねばならない。この際、各マスタデバイスは、外部メモリデバイス2に格納された画像データの読み出しと、読み出された画像データの書き込みという2つの処理を行わねばならないので、処理負荷は、大きくなってしまう。

【0150】そこで、マスクビットを利用すれば、外部メモリデバイス2に格納された画像データと、文字パターンとの合成を以下のように簡易に行うことができる。文字パターンと画像データとの合成を行うにあたって、デュアルポートメモリ100には、文字データを格納しておく。この文字データは、背景部と、ストローク部とからなる。ここで、デュアルポートメモリ100に格納されている1バイトデータのうち、文字の背景部に該当するものには、マスクビットがオン"1"の設定を、1バイトデータのうち、文字のストローク部分に該当するものには、マスクビットがオフ"0"の設定を行う。

【0151】マスクビットがこのように設定された状態で、デュアルポートメモリ100から外部メモリデバイス2へのデータ書き込みが行われれば、外部メモリデバイス2の画像のうち、文字のストローク部分に該当する部分が、デュアルポートメモリ100に格納されているデータを用いて上書きされ、外部メモリデバイス2の画像のうち、文字の背景部分に該当する部分は、デュアルポートメモリ100に格納されたデータを用いた上書きから除外される。マスクビットを設定した上で、デュアルポートメモリ100に格納された文字パターンを外部メモリデバイス2に格納されている画像データに書き込むことにより、画像と文字とが合成された合成画像を容易に得ることができる。

【0152】上記実施形態に基づいて説明してきたが、現状において最善の効果が期待できるシステム例として提示したに過ぎない。本発明はその要旨を逸脱しない範囲で変更実施することができる。代表的な変更実施の形態として、以下(a)(b)(c)……のものがある。

(a) 図22に示したデュアルポートメモリ100のタグ領域に、図28に示すデータを格納しておいてもよい。ここでは1つのコマンドが2つのタグ領域から構成される例を示している。図28における22ビットに位置するTagValidは、1つのコマンドのうち、2つ目のタグ情報が有効か否かを示すフラグである。23ビット目に

位置するMBアクセスビットは、マクロブロックの格納用であるか否かを示す符号である。24ビット目におけるdone bitは、マスタデバイスが要求した転送の最後のデータか否かを示す符号である。25ビット目におけるDMAモードビットは、メモリ間転送が外部メモリデバイス2—デュアルポートメモリ100間のデータ転送であるか、外部メモリデバイス2—マスタデバイス間のデータ転送であるかを示す。26ビット目における168/328アクセスフラグは、1つのエン트리領域を構成する2つのバンク領域のうち、片方(16バイト分)が有効であるか、両方(32バイト分)が有効であるかを示す。27ビット目のTag1Validは、1つのコマンドのうち、1つ目のタグ情報が有効か否かを示すフラグである。28ビットから30ビットまではマスタデバイスIDであり、31ビットにおけるPOU DMA MODEフラグは、POU DMA MODEがオン"1"されているか否かを示す符号である。

【0153】(b) 各マスタデバイスに制御バスに接続させて、マスタデバイス間の情報交換を行わせてもよい。制御バスは、各マスタデバイスが所定の取り決めに従ってデータ書き込み時のエン트리アドレスを互いに通知する際、当該エン트리アドレスを伝送させるためのバスである。複数のマスタデバイスのうち少なくとも1つ以上が、外部メモリデバイス2へのデータ書き込みを要求した場合、外部メモリデバイス2においてデータが書き込まれた領域の先頭部を示すエン트리アドレスを制御バスに伝送させ、複数のマスタデバイスのうち他のものは、制御バスに伝送されたエン트리アドレス以降に格納されているデータの読み出しを要求する。

【0154】複数のマスタデバイスのうち少なくとも1つ以上が、外部メモリデバイス2へのデータ書き込みを要求した場合、外部メモリデバイス2においてデータが書き込まれた領域の終端部を示す終了アドレスを制御バスに伝送させ、複数のマスタデバイスのうち他のものは、制御バスに伝送された終了アドレスの次のアドレスからのデータ書き込みを要求する。

【0155】(c) 第3実施形態において外部メモリデバイス2における使用状況の統合管理を行うメモリアドレスサーバを設けてもよい。メモリアドレスサーバは、アドレステーブルを有しており、外部メモリデバイス2内の各メモリの使用状況を1kbitのブロックを最小単位として管理している。外部メモリデバイス2においてブロックがn個存在するものとする、メモリサイズが1kbit×nブロックとなる。その一方アドレステーブルは、2bit×nのサイズとなる。アドレステーブルにおける2bitは、外部メモリデバイス2におけるブロックの使用状況を示している。ここで外部メモリデバイス2におけるブロックが未使用なら、アドレステーブルにおける2bitは「00」となる。ブロックが書込中ならアドレステーブルにおける2bitは「01」、ブロックが書込済みならアドレステーブルにおける2bitは「10」となる。ブロックが未

使用であるが、その使用が予約されている場合、アドレステーブルにおける2bitは「11」となる。

【0156】何れかのマスタデバイスが外部メモリデバイス2へのデータ書き込みを要求しようとした場合、その使用状況が未使用に設定されている領域のアドレスを当該マスタデバイスに通知し、何れかのマスタデバイスの要求に従って外部メモリデバイス2にデータが書き込まれた場合、その領域に対応する使用状況を書込済みに更新する。前記複数のマスタデバイスのうち少なくとも1つ以上が、外部メモリデバイス2上の複数の領域のうち何れかのものの使用状況を未使用に解放する旨を要求した場合、メモリアドレスサーバは、何れかのマスタデバイスの要求に従って、その領域に対応する使用状況を未使用に更新する。各マスタデバイスが、上記のようなアクセスコマンドの発行を行えば、外部メモリデバイス2の利用効率を向上させることができる。

【0157】(d) 第3実施形態において、デュアルポートメモリ26に対してのアクセスを1つのマスタデバイスが統合して行ってもよい。本実施形態においてマスタデバイス4は、外部メモリデバイス2からのデータ読み出しの際、外部メモリデバイス2において自身に割り当てられた領域からデュアルポートメモリ26へのデータ読み出しを行うとともに、マスタデバイス5—マスタデバイス6に割り当てられた領域からデュアルポートメモリ26へのデータ読み出しを行う。このようなデータ読み出しにより、デュアルポートメモリ26上にはマスタデバイス4—マスタデバイス6のデータが全て読み出されたことになる。マスタデバイス5—マスタデバイス6は、エン트리情報に示されている領域から自身のローカルメモリ8—ローカルメモリ9へのDMA転送を行うことにより、外部メモリデバイス2から読み出されたデータを取得する。

【0158】外部メモリデバイス2へのデータ書き込みの際、マスタデバイス4はローカルメモリ7からデュアルポートメモリ26において自身に割り当てられた領域へのデータ書き込みを行い、それと共にデュアルポートメモリ26上のマスタデバイス5—マスタデバイス6についてのエン트리情報をマスタデバイス5—マスタデバイス6に通知する。以降マスタデバイス4は、デュアルポートメモリ26においてマスタデバイス4—マスタデバイス6用のデータが書き込まれている領域から、外部メモリデバイス2においてマスタデバイス4—マスタデバイス6用に割り当てられている領域へのDMA転送を行う。これにより外部メモリデバイス2にはマスタデバイス4—マスタデバイス6用のデータが書き込まれることになる。

【0159】

【発明の効果】以上説明したように本発明に係るデータ処理装置によれば、複数のマスタデバイスと、1つのメモリデバイスとに接続され、メモリデバイスと、各マ

タデバイスとの間のデータ転送を行うデータ処理装置であって、2つのポイントを有しており、そのうち一方のポイントにてメモリデバイスと接続されるメモリバスと、それぞれが2つ以上のポイントを有しており、そのうち1つ以上のポイントにて各マスタデバイスと接続される複数のローカルバスと、メモリデバイスに対するデータ読み出し、及び、メモリデバイスに対するデータ書き込みを行い、各ローカルバス上では、各マスタデバイスが要求する転送レートにてデータ転送を行わせ、メモリバス上では、メモリデバイスが要求する転送レートにてデータ転送を行わせる転送コントローラと、メモリバスの他方のポイント、及び、各ローカルバスの1つのポイントにて接続された複数のバッファであり、メモリバスと、ローカルバスとの間の転送レートの相違を吸収するよう、データの入出力を行う複数のローカルバッファ手段とを備えているので、設計者が各マスタデバイスに割り当てるべきバンド幅の変更を望んだ場合、ローカルバスが要求する転送レートを変更すれば良いのでデータ処理装置全体を再設計する必要はない。メモリデバイス-ローカルバス側の変更を伴わずに各マスタデバイスに対してのバンド幅の割り当てを変更することができるので、将来データ処理装置の何れかの箇所についてバンド幅を変更する必要が生じても、設計者は大きな労力を払うことはない。具体的にいうと、本発明に係るデータ処理装置がMPEGストリームの復号装置であり、メーカーの商品開発戦略上の都合により、このMPEGストリームの復号装置をデジタル衛星放送等の受信装置等の他の装置に転用することが命じられた場合、複数のマスタデバイス、複数のローカルバス側を再設計すればよく、メモリデバイス、ローカルバス側には何の改良を加えなくてもよい。各マスタデバイスにどのようにビット幅が割り当てられようとも、この変更は複数のローカルバスに対して行えばよく、ビット幅の変更前後でも同じメモリデバイスに対するメモリ制御を変更する必要は無いので、各マスタデバイスに対してのバンド幅割当変更を簡易に行うことができる。

【0160】ここで、前記ローカルバスには、3つ以上のポイントを有しているものがあり、このうち2つ以上のポイントには、2つ以上のマスタデバイスが接続されており、これら2つ以上のポイントにて接続されたマスタデバイスにおいてデータ読み出し要求又はメモリデバイスへのデータ書き込み要求が競合した場合、前記マスタデバイスは、アービターによる調停の結果、要求が否認されたマスタデバイスについてのローカルバスにおけるデータ転送を停止してもよい。オーディオデータ、副映像、OSD等、サブシステムという系統に分類されるメディア処理を行う複数のマスタデバイスについて、メモリデバイスの読み出し要求及びメモリデバイスの書き込み要求が競合した場合、ローカルバス及びローカルバスの一方でのデータ転送を停止させれば良いので、デー

タ処理装置全体の転送効率を低下させずに、調停を行うことができる。

【0161】上記第2の目的は、前記メモリデバイスにはデータ処理装置の動作周波数と異なる動作周波数の同期クロック信号が供給されており、前記データ処理装置は更に、一方のポートが前記メモリデバイスの読み書きポートに接続していて、他方のポートが前記複数のローカルバッファ手段に接続しており、メモリデバイスにおける動作周波数とデータ処理装置内部における動作周波数との相違を吸収するよう、メモリバスと複数のローカルバッファ手段との間でデータの入出力を行うデュアルポートメモリデバイスを備えるデータ処理装置により達成される。メモリデバイスと内部メモリ間のデータ転送における非同期制御を実現することができ、メモリデバイスとデータ処理装置とをそれぞれ固有の動作周波数で動作させることができる。従って、メモリデバイスの性能を最大限に発揮できる動作周波数がデータ処理装置にとって最適な動作周波数と異なる場合に、メモリデバイス及びデータ処理装置を最適な動作周波数で動作させることができる。

【0162】また上記構成において、前記複数のマスタデバイスには1つの制御バスが接続されており、複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイスからのデータ書き込みを要求し、その結果、メモリデバイスにおいてデータが書き込まれた場合、その領域の先頭部を示すエントリアドレスを制御バスに伝送させ、複数のマスタデバイスのうち少なくとも他のものは、制御バスに伝送されたエントリアドレス以降に格納されているデータの読み出しを要求しても良い。あるマスタデバイスがメモリデバイスに書き込んだデータを他のマスタデバイスが利用することができる。

【0163】また上記構成において、前記複数のマスタデバイスには制御バスが接続されており、複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイスへのデータ書き込みを要求した場合、メモリデバイスにおいてデータが書き込まれた領域の終端部を示す終了アドレスを制御バスに伝送させ、複数のマスタデバイスのうち他のものは、制御バスに伝送された終了アドレスの次のアドレスからのデータ書き込みを要求しても良い。直前にデータ書き込みを行ったマスタデバイスの書き込み終了アドレスを制御バスを通じて他のマスタデバイスに転送し、他のマスタデバイスは通知された終了アドレスの次のアドレス以降をデータの書込先に用いることができる。これによりメモリデバイスの書込先領域を固定化する場合と比較して、メモリデバイスの利用効率を向上させることができる。

【0164】また上記構成において、メモリデバイスに含まれる複数領域のそれぞれについての使用状況が書込済み、未使用の何れであることを示す使用状況情報を記憶しており、何れかのマスタデバイスがメモリデバイスへ

のデータ書き込みを要求しようとした場合、その使用状況情報が未使用に設定されている領域のアドレスを当該マスタデバイスに通知するアドレスサーバを備えていてもよい。メモリデバイスにおける領域の使用状況がエントリテーブルに管理されているので、メモリへの書き込みを要求するマスタデバイスはアドレスサーバに空領域のエントリアドレスを問い合わせれば、その書込先アドレスを特定することができる。マスタデバイスのそれぞれが空領域を探索しなくても良いので、データ処理装置全体の処理効率を向上させることができる。

【図面の簡単な説明】

【図1】ワンチップLSIであるデータ処理装置が外部メモリデバイス2と共にマルチメディア関連製品に組みまれて利用される場合を想定した図である。

【図2】データ処理装置の第1の実施形態を説明するものである。

【図3】外部メモリデバイス2ーバス1間のデータ転送を示すタイミングチャートである。

【図4】ローカルバッファ13が外部メモリデバイス2にデータを書き込む際の動作タイミングを示すタイミングチャートである。

【図5】ローカルバッファ13が外部メモリデバイス2からデータを読み出す際の動作タイミングを示すタイミングチャートである。

【図6】ローカルバッファ14が外部メモリデバイス2にデータを書き込む際の動作タイミングを示すタイミングチャートである。

【図7】ローカルバッファ14が外部メモリデバイス2からデータを読み出す際の動作タイミングを示すタイミングチャートである。

【図8】ローカルバッファ13〜ローカルバッファ15とバス10〜バス12との間に設けられている回路を共通化する場合の構成を示す図である。

【図9】(a) 図8に示したセレクトのうちの32bitバッファ61〜32bitバッファ64から32bitバス57〜32bitバス60への読み出し時に用いられるもののみを図示した図である。

(b) 図8に示したセレクトのうちの32bitバス57〜32bitバス60から32bitバッファ61〜32bitバッファ64への書き込み時に用いられるもののみを図示した図である。

【図10】(a) バス10のビット幅と、4入力-1出力セレクト65〜ゲート68が選択する接続線との対応を示す図である。

(b) バス10のビット幅と、第1〜第4番目のデータが転送してくる接続線との組み合わせにおいてセレクト71〜セレクト74がどの接続線の選択出力するかを示す図である。

【図11】(a) 転送レートが32bitである場合のタイミングチャートである。

(b) 転送レートが64bitである場合のタイミングチャートである。

(c) 転送レートが128bitである場合のタイミングチャートである。

【図12】(a) 転送レートが32bitである場合のタイミングチャートである。

(b) 転送レートが64bitである場合のタイミングチャートである。

(c) 転送レートが128bitである場合のタイミングチャートである。

【図13】複数マスタデバイスがバス10に設けられたデータ処理装置を示す図である。

【図14】デュアルポートメモリ26が設けられたデータ処理装置を示す図である。

【図15】第4実施形態に係るデータ処理装置の構成を示す図である。

【図16】カレントステートビット列の一例を示す図である。

【図17】第5実施形態に係るデータ処理装置の構成を示す図である。

【図18】第6実施形態に係るデータ処理装置の構成を示す図である。

【図19】第7実施形態におけるアービター112の構成を示す図である。

【図20】前記n個のレジスタのうち、m個のレジスタにマスタデバイスxについての識別情報xを格納させる場合の一例を示す図である。

【図21】第8実施形態における外部メモリデバイス2のメモリ割り当てを示す図である。

【図22】第9実施形態に係るデータ処理装置に内部構成を示す図である。

【図23】デュアルポートメモリ100とマスタデバイスとの間の接続関係を省略して示したデータ処理装置の内部構成を示す図である。

【図24】複数のマスタデバイスに対する優先順位がどのように設定されているかを示す図である。

【図25】第9実施形態におけるエントリ領域の構成を示す図である。

【図26】(a) 1バイト=符号付き8ビットに設定された場合のメモリセルのビット割り当てを示す図である。

(b) 1バイト=符号無し8ビットに設定された場合のメモリセルのビット割り当てを示す図である。

【図27】マスクビットの設定時において、外部メモリデバイス2がどのように書き込まれるかを示す図である。

【図28】図22に示したデュアルポートメモリ100のタグ領域に、格納すべきデータを示す図である。

【図29】一般のDMA転送を行うDMA転送システムを示す構成図である。

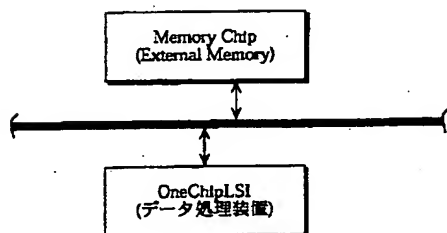
【図30】ビット幅分割により実現されたバンド幅割り当て技術の一例を示す図である。

【符号の説明】

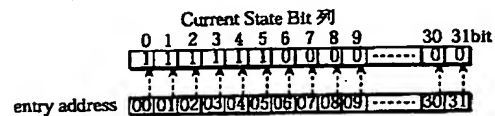
- 1 バス
- 2 メモリデバイス
- 3 メモリコントローラ
- 4 DMAマスタ
- 5 DMAマスタ
- 6 DMAマスタ
- 7 ローカルメモリ
- 8 ローカルメモリ
- 9 ローカルメモリ
- 10 バス
- 11 バス
- 12 バス
- 13 バッファ
- 14 バッファ
- 15 バッファ
- 16 アービター
- 17~19 メモリI/Fコントローラ
- 20~22 接続回路
- 24 DMAマスタ
- 25 アービター
- 26 デュアルポートメモリ
- 27 制御バス
- 28 メモリエントリサーバ
- 100 デュアルポートメモリ
- 101 データユニット
- 102 タグユニット
- 103~105 マスタデバイス

- * 106~108 ローカルバッファ
- 109~111 ローカルコントローラ
- 112 アービター
- 113 エントリーコントローラ
- 114 リードリクエストキュー
- 115 ライトリクエストキュー
- 116 メモリコントローラ
- 117 リードウェイトキュー
- 118~120 リードアクノウレレッジキュー
- 10 121、122 アドレス選択回路
- 123~125 エントリー領域テーブル
- 126 DMAコントローラ
- 198 符号化ストリームバッファ領域
- 199 画像フレーム領域
- 201 ストリームユニット
- 202 I/Oバッファ
- 203 Setupプロセッサ
- 204 ビットストリームFIFO
- 205 VLD
- 20 206 TE
- 207 POUA
- 208 POUB
- 209 POUC
- 210 オーディオユニット
- 211 I/Oプロセッサ
- 212 VBM
- 213 ビデオユニット
- 214 HOSTユニット
- 215 RE
- * 30 216 FILTER

【図1】

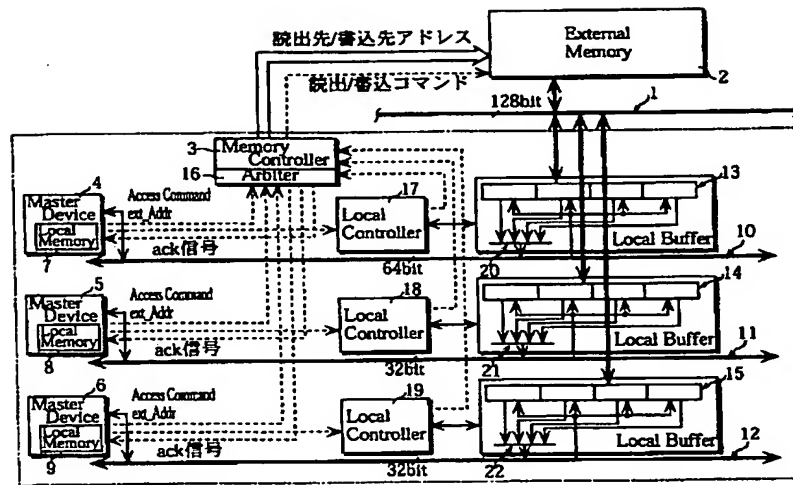


【図16】

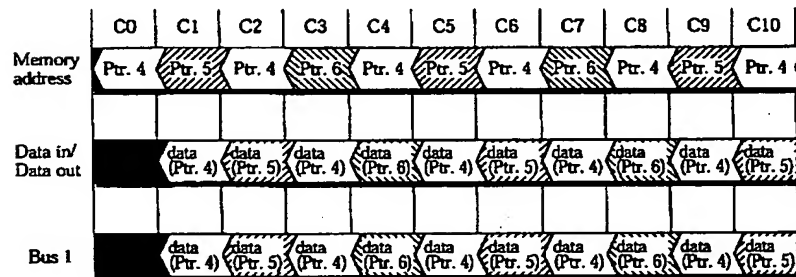


entry address00~05のentry領域 使用中
 entry address06~31のentry領域 未使用
 使用状況情報(空アドレス) entry address06

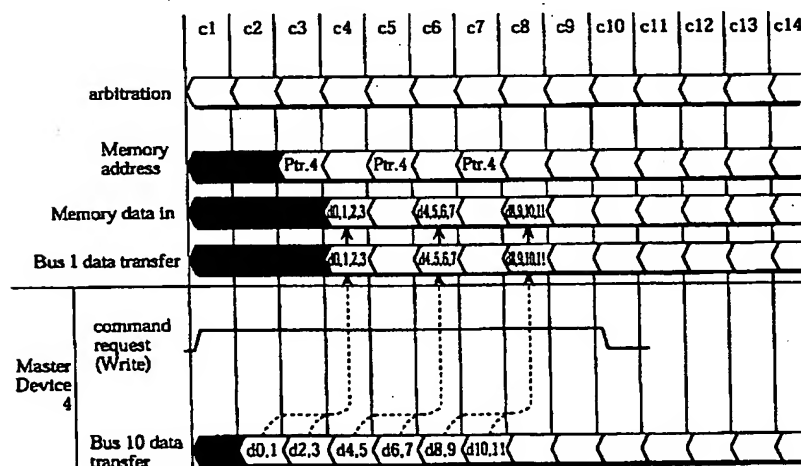
〔図2〕



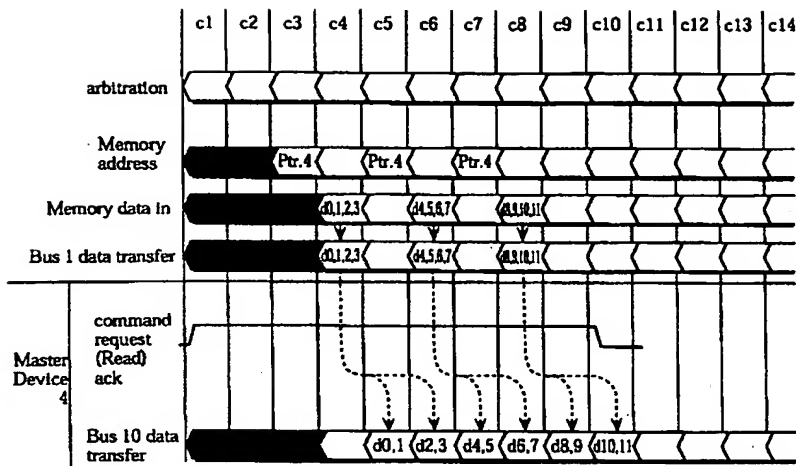
〔図3〕



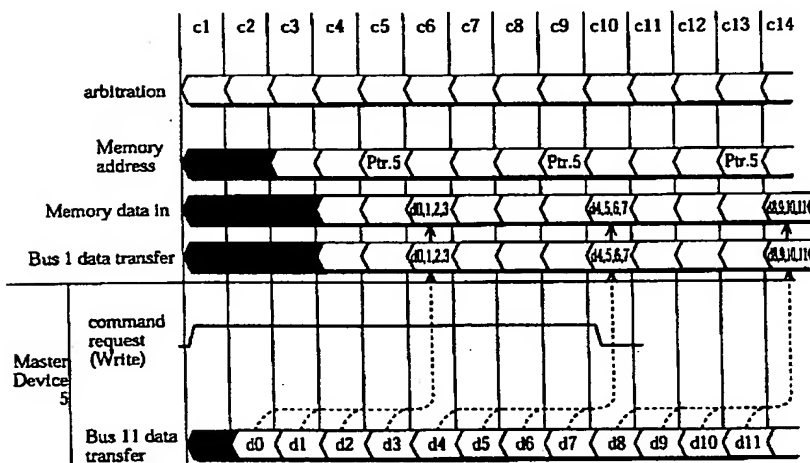
〔図4〕



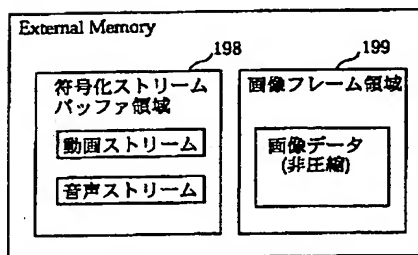
【図5】



【図6】



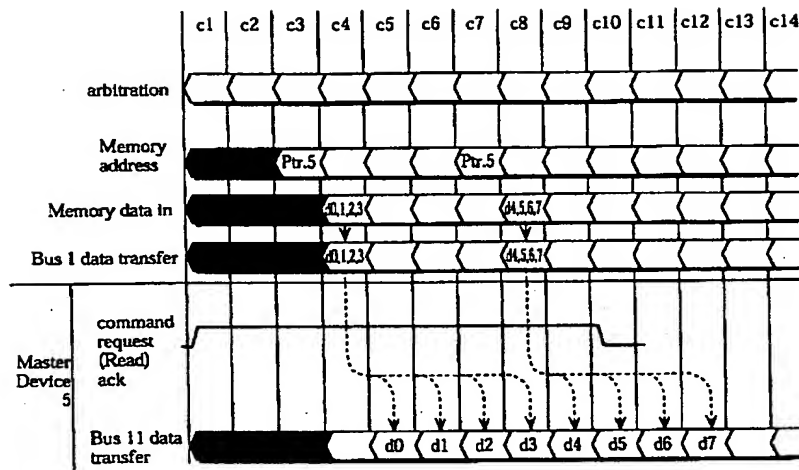
【図21】



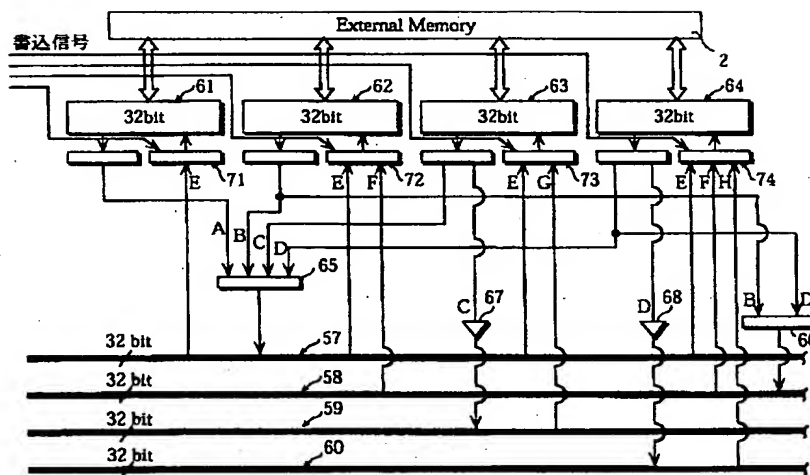
【図25】

					Dual Port Memory				
					16Byte				
エンタリー領域1	メモリセル	メモリセル	メモリセル	メモリセル	1Byte=9bit	1Byte=9bit	1Byte=9bit	-----	メモリセル
エンタリー領域2	メモリセル	メモリセル	メモリセル	メモリセル	1Byte=9bit	1Byte=9bit	1Byte=9bit	-----	メモリセル
エンタリー領域3	メモリセル	メモリセル	メモリセル	メモリセル	1Byte=9bit	1Byte=9bit	1Byte=9bit	-----	メモリセル
エンタリー領域4	メモリセル	メモリセル	メモリセル	メモリセル	1Byte=9bit	1Byte=9bit	1Byte=9bit	-----	メモリセル
エンタリー領域5	メモリセル	メモリセル	メモリセル	メモリセル	1Byte=9bit	1Byte=9bit	1Byte=9bit	-----	メモリセル

【図7】



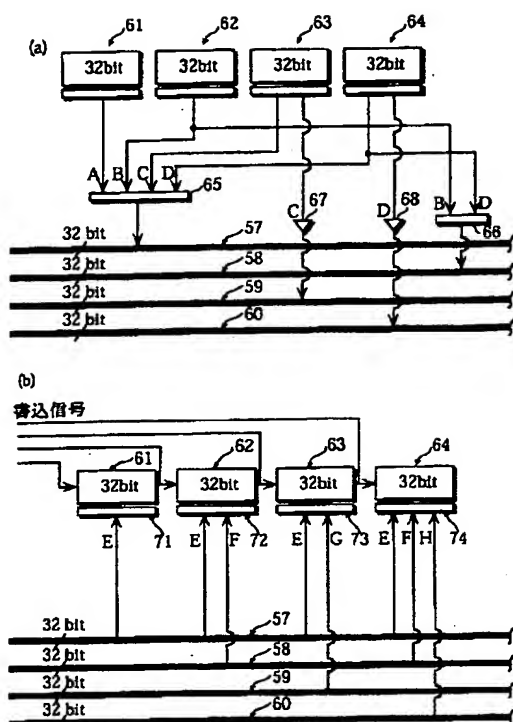
【図8】



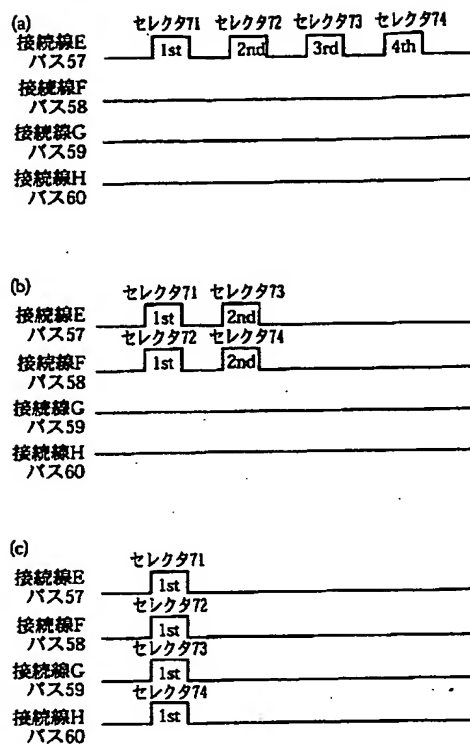
【図26】

- (a) 符号有り8ビットデータ格納時
- 符号ビット 8ビットデータ
- (b) 符号無し8ビットデータ格納時
- マスクビット 8ビットデータ

【図9】



【図12】



【図10】

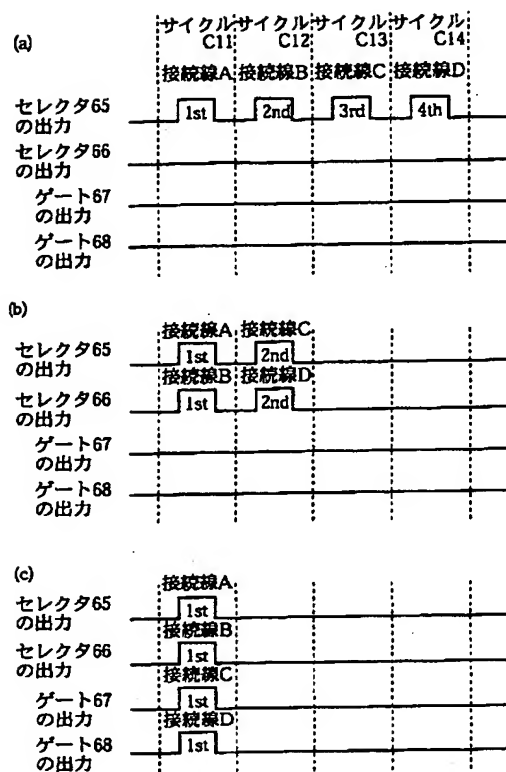
(a)

転送時のビット幅	セクタ65	セクタ66	ゲート67	ゲート68
32 bit	接続線A,B,C,D	---	---	---
64 bit	接続線A,C	接続線B,D	---	---
128 bit	接続線A	接続線B	接続線C	接続線D

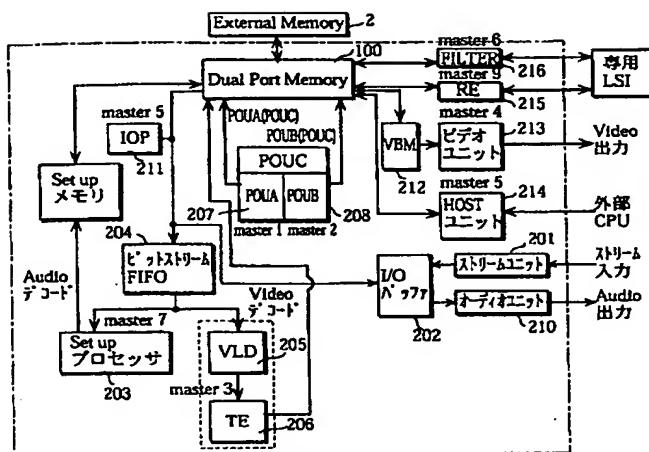
(b)

転送時のビット幅	セクタ71	セクタ72	ゲート73	ゲート74
32 bit	接続線E	接続線E	接続線E	接続線E
64 bit	接続線E	接続線F	接続線E	接続線F
128 bit	接続線E	接続線F	接続線G	接続線H

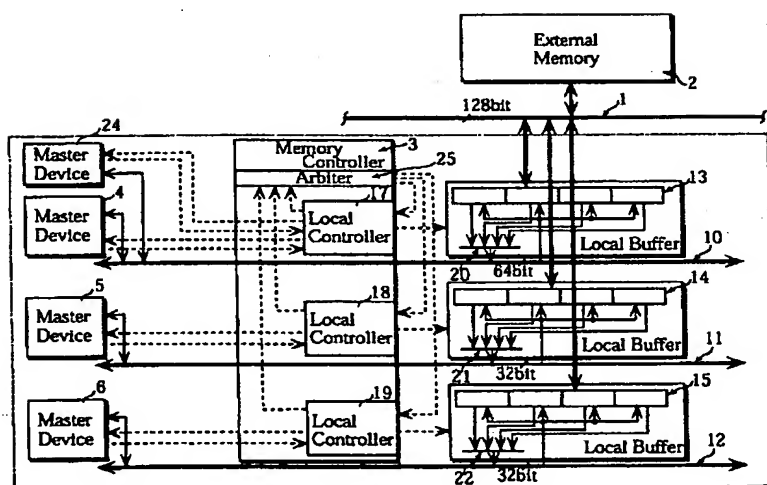
【図11】



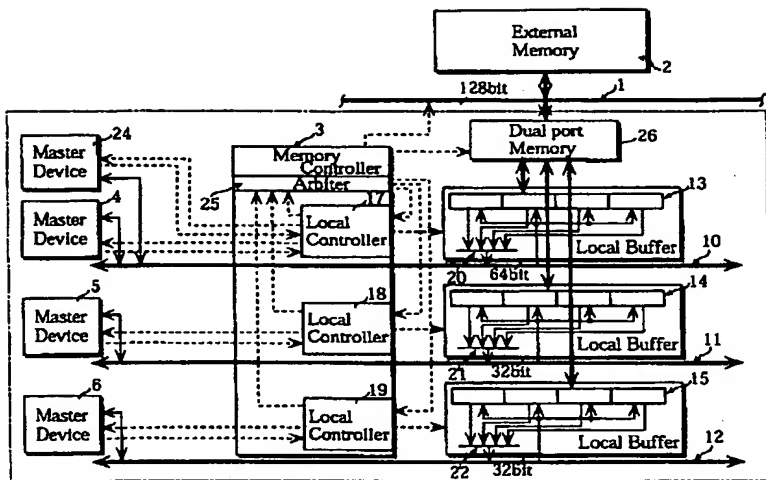
【図23】



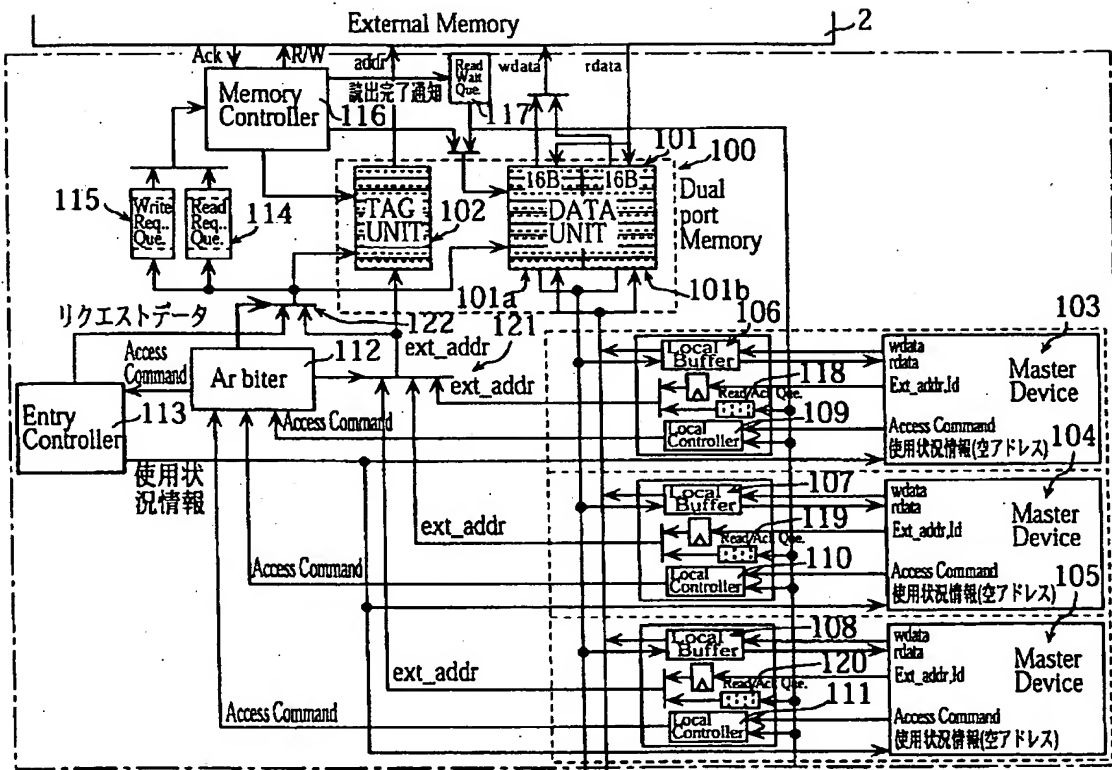
【図13】



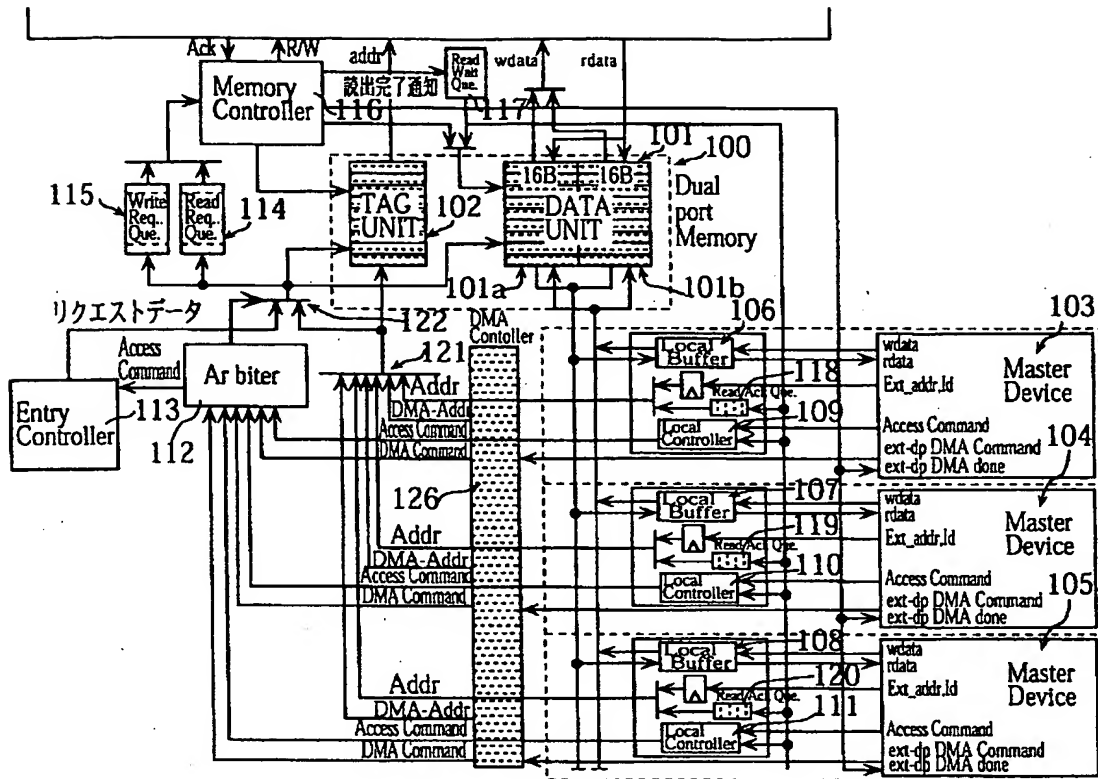
【圖 14】



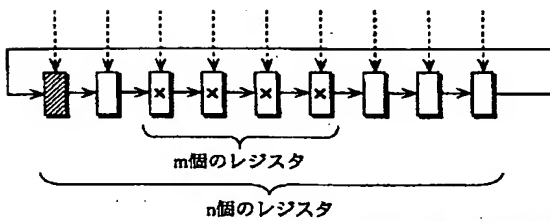
【圖 15】



【図18】

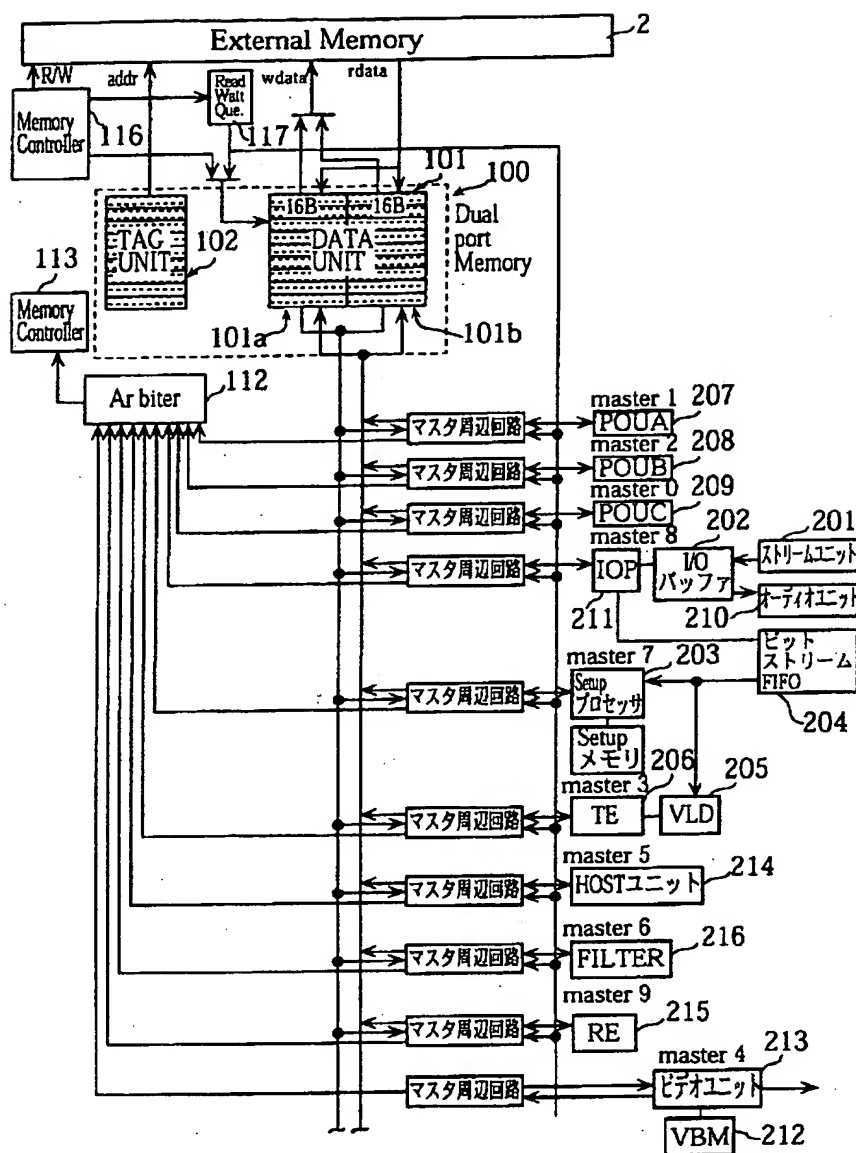


【図20】

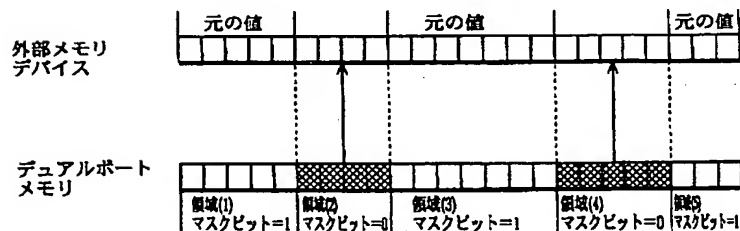


X:n回につき、m回の割合で
許可させたいマスタデバイスxの識別情報

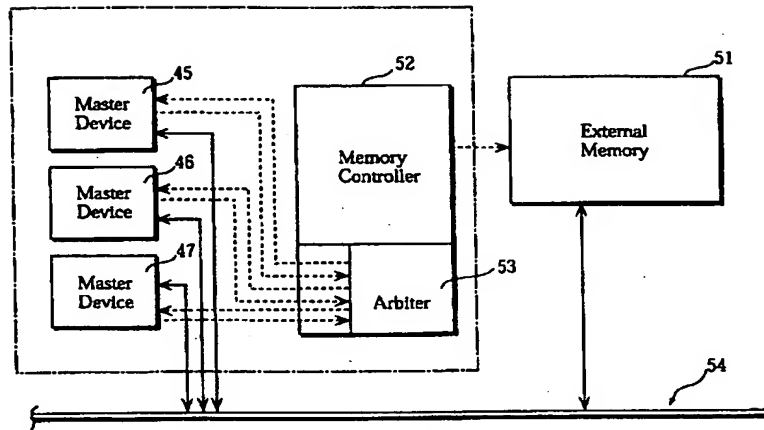
【図22】



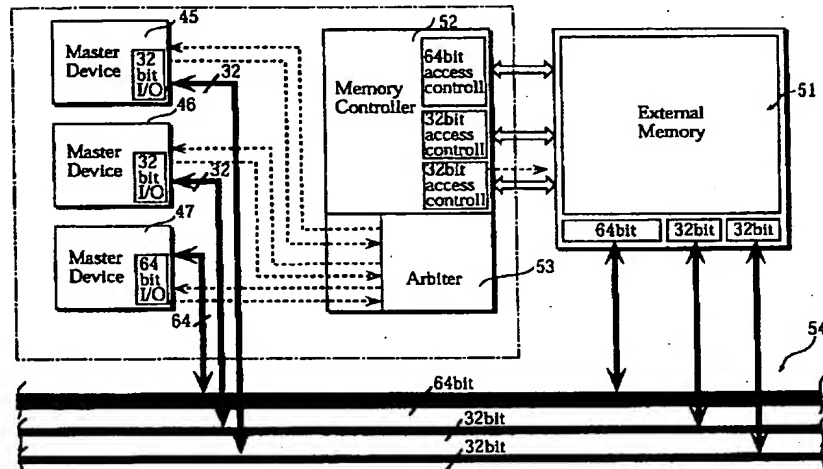
【図27】



【図29】



【図30】



フロントページの続き

(72)発明者 木村 浩三
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 持田 哲司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 落合 利之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成14年2月28日(2002.2.28)

【公開番号】特開2001-84215(P2001-84215A)
 【公開日】平成13年3月30日(2001.3.30)
 【年通号数】公開特許公報13-843
 【出願番号】特願2000-211401(P2000-211401)
 【国際特許分類第7版】

G06F 13/16 510
 520
 13/36 320
 13/362 510

【F1】

G06F 13/16 510 D
 520 C
 13/36 320 B
 13/362 510 F

【手続補正書】

【提出日】平成13年9月13日(2001.9.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数のマスタデバイスと、1つのメモリデバイスとに接続され、メモリデバイスと、各マスタデバイスとの間のデータ転送を行うデータ処理装置であって、
 2つのポイントを有しており、そのうち一方のポイントにてメモリデバイスと接続されるメモリバスと、それぞれが2つ以上のポイントを有しており、そのうち1つ以上のポイントにて各マスタデバイスと接続される複数のローカルバスと、
 メモリデバイスに対するデータ読み出し、及び、メモリデバイスに対するデータ書き込みを行い、各ローカルバス上では、各マスタデバイスが要求する転送レートにてデータ転送を行わせ、メモリバス上では、メモリデバイスが要求する転送レートにてデータ転送を行わせる転送コントローラと、
 メモリバスの他方のポイント、及び、各ローカルバスの1つのポイントにて接続された複数のバッファを有し、メモリバスと、ローカルバスとの間の転送レートの相違を吸収するよう、データの入出力を行う複数のローカルバッファ手段と
 を備え、
 各ローカルバッファ手段は何れも同一構成であり、異なる

ビット幅のローカルバスを接続可能であることを特徴とするデータ処理装置。

【請求項2】 前記各ローカルバッファ手段は、何れも同一構成であり、メモリバスのビット幅方向に分割された複数のバッファ領域からなるバッファと、ローカルバスとバッファ領域の間に、ローカルバスのビット幅に応じてバッファ領域とローカルバスとを接続するセレクト群とを有する

ことを特徴とする請求項1記載のデータ処理装置。

【請求項3】 前記転送コントローラは、各マスタデバイスによりメモリデバイスからのデータ読み出しが要求されると、メモリデバイスからのデータ読み出しをおこなって、当該データをメモリバス上で転送させる処理を行い、メモリデバイスへのデータ書き込みが要求されると、メモリデバイスに書き込むべきデータをメモリバス上で転送させ、各マスタデバイスからの要求に従って、メモリデバイスに書き込む処理とを行うメモリコントローラと、
 複数ローカルバスのそれぞれに対応づけられており、メモリデバイスから読み出されたデータ、及び、メモリデバイスに書き込むべきデータを各マスタデバイスが要求する転送レートにてローカルバス上で転送させる複数のローカルコントローラと
 を備えることを特徴とする請求項1記載のデータ処理装置。

【請求項4】 前記各ローカルコントローラは、各マスタデバイスがその読み出しを要求したデータがメモリバス上に転送されれば、当該メモリバス上のデータをローカルバッファ手段に取り込み、取り込んだデータをローカルバスに出力させるようローカルバッファ手段

を制御し、

マスタデバイスがメモリデバイスへの書き込みを要求したデータがローカルバス上に転送されてくると、データをローカルバッファ手段に取り込み、所定数のデータを当該ローカルバッファ手段に蓄積した後、蓄積されたデータをメモリバスに出力させるようローカルバッファ手段を制御する

ことを特徴とする請求項3記載のデータ処理装置。

【請求項5】 前記データ処理装置は、

複数のマスタデバイスについてのデータ読み出し要求又はメモリデバイスへのデータ書き込み要求が競合した場合、複数のマスタデバイスのうち、幾つかのものの要求を認め、他のものの要求を否認する旨を決定するアービターを備え、

前記マスタデバイスは、アービターによる調停の結果、要求が否認されたマスタデバイスについてのメモリバス又はローカルバスにおけるデータ転送を停止することを特徴とする請求項1記載のデータ処理装置。

【請求項6】 前記ローカルバスには、3つ以上のポイントをも有しているものがあり、このうち2つ以上のポイントには、2つ以上のマスタデバイスが接続されており、これら2つ以上のポイントにて接続されたマスタデバイスにおいてデータ読み出し要求又はメモリデバイスへのデータ書き込み要求が競合した場合、

前記マスタデバイスは、アービターによる調停の結果、要求が否認されたマスタデバイスについてのローカルバスにおけるデータ転送を停止する

ことを特徴とする請求項5記載のデータ処理装置。

【請求項7】 前記メモリデバイスにはデータ処理装置の動作周波数と異なる動作周波数の同期クロック信号が供給されており、

前記データ処理装置は更に、

一方のポートが前記メモリデバイスの読み書きポートに接続していて、他方のポートが前記複数のローカルバッファ手段に接続しており、メモリデバイスにおける動作周波数とデータ処理装置内部における動作周波数との相違を吸収するよう、メモリバスと複数のローカルバッファ手段との間でデータの入出力を行うデュアルポートメモリデバイスを備える

ことを特徴とする請求項1記載のデータ処理装置。

【請求項8】 前記転送コントローラは更に、

メモリバス上に転送されている複数マスタデバイスがその読み出しを要求した複数データをデュアルポートメモリデバイスに取り込み、データをローカルバッファ手段に出力するよう制御する

ことを特徴とする請求項7記載のデータ処理装置。

【請求項9】 前記転送コントローラは更に、

複数マスタデバイスがメモリデバイスへの書き込みを要求したデータがローカルバッファ手段から出力されると、これらの複数データをデュアルポートメモリデバイ

スに取り込み、当該デュアルポートメモリデバイスに蓄積した後、蓄積されたデータをメモリバスに出力させるようデュアルポートメモリデバイスを制御することを特徴とする請求項7記載のデータ処理装置。

【請求項10】 前記複数のマスタデバイスには1つの制御バスが接続されており、

複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイスからのデータ書き込みを要求し、その結果、メモリデバイスにおいてデータが書き込まれた場合、その領域の先頭部を示すエントリアドレスを制御バスに伝送させ、

複数のマスタデバイスのうち少なくとも他のものは、制御バスに伝送されたエントリアドレス以降に格納されているデータの読み出しを要求する

ことを特徴とする請求項1記載の請求項記載のデータ処理装置。

【請求項11】 前記複数のマスタデバイスには制御バスが接続されており、

複数のマスタデバイスのうち少なくとも1つ以上が、メモリデバイスへのデータ書き込みを要求した場合、メモリデバイスにおいてデータが書き込まれた領域の終端部を示す終了アドレスを制御バスに伝送させ、複数のマスタデバイスのうち他のものは、

制御バスに伝送された終了アドレスの次のアドレスからのデータ書き込みを要求する

ことを特徴とする請求項1記載のデータ処理装置。

【請求項12】 前記データ処理装置は、

メモリデバイスに含まれる複数領域のそれぞれについての使用状況が書込済み、未使用の何れであることを示す使用状況情報を記憶しており、何れかのマスタデバイスがメモリデバイスへのデータ書き込みを要求しようとした場合、その使用状況情報が未使用に設定されている領域のアドレスを当該マスタデバイスに通知するアドレスサーバ

を備えることを特徴とする請求項1記載のデータ処理装置。

【請求項13】 前記アドレスサーバは、

何れかのマスタデバイスの要求に従ってメモリデバイスにデータが書き込まれた場合、その領域に対応する使用状況情報を書込済みに更新する第1更新部を備えることを特徴とする請求項12記載のデータ処理装置。

【請求項14】 前記複数のマスタデバイスのうち少なくとも1つ以上が、

メモリデバイス上の複数の領域のうち、データを読み出した後の領域についての使用状況を未使用に解放する旨を要求し、

前記第1更新部は、

そのマスタデバイスの要求に従って、その領域に対応する使用状況情報を未使用に更新する

ことを特徴とする請求項12記載のデータ処理装置。